

**PAT-NO:** JP02003203475A  
**DOCUMENT-IDENTIFIER:** JP 2003203475 A  
**TITLE:** SEMICONDUCTOR INTEGRATED CIRCUIT AND SEMICONDUCTOR MEMORY  
  
**PUBN-DATE:** July 18, 2003

**INVENTOR-INFORMATION:**

<b>NAME</b>	<b>COUNTRY</b>
YOKOZEKI, WATARU	N/A

**ASSIGNEE-INFORMATION:**

<b>NAME</b>	<b>COUNTRY</b>
FUJITSU LTD	N/A

**APPL-NO:** JP2001400507

**APPL-DATE:** December 28, 2001

**INT-CL (IPC):** G11C011/22 , G11C011/41 , G11C011/412

**ABSTRACT:**

**PROBLEM TO BE SOLVED:** To surely perform recall operation of memory cells and a latch circuit utilizing residual polarization of a ferroelectric capacitor.

**SOLUTION:** Input of two buffer circuits constituting a latch circuit receive different voltage depending on capacity coupling effect of a ferroelectric capacitor or capacity division of the ferroelectric capacitor before connection of a power source. A switch control circuit activates a switch control signal after applying a power source when first plate voltage is boosted to the prescribed voltage. A switch circuit is turned on responding to activation of a switch control signal, and connects a power source terminal of the buffer circuit to a power source line. At the time, as input voltage of the buffer circuits are different, logic data is written in the latch circuit in accordance with both input voltage. Consequently, data held in the latch circuit before cut off of the power source is reproduced surely.

**COPYRIGHT:** (C)2003, JPO

**Best Available Copy**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-203475

(P2003-203475A)

(43)公開日 平成15年7月18日(2003.7.18)

(51) Int.Cl.<sup>7</sup>  
G 1 1 C 11/22  
11/41  
11/412

識別記号  
501

F I  
G 11 C 11/22  
11/42

テマコード(参考)  
5B015

審査請求 未請求 請求項の数10 O.L. (全 20 頁)

(21)出願番号 特願2001-400507(P2001-400507)

(71)出願人 000005223

(22)出願日 平成13年12月28日(2001. 12. 28)

富士通株式会社

神奈川県川崎市

1量

横關 一百

### 表二 神奈川県川崎市中原区上

(74)代理人 100072718

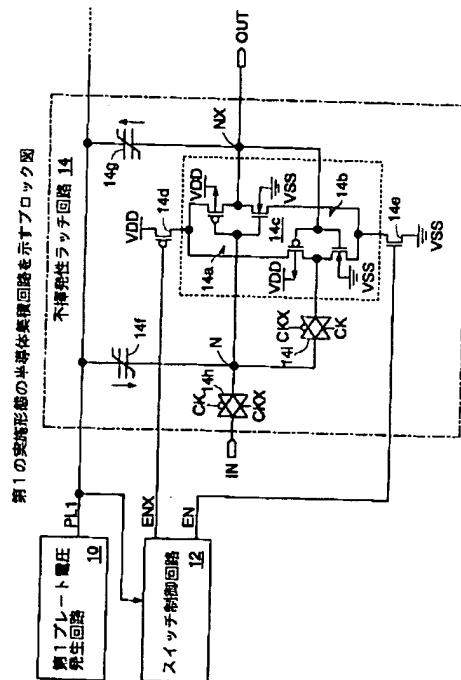
弁理士 古谷 史旺  
Eターミ(参考) 5B015 HH01 UU11 0016

(54) 【発明の名称】 半導体集積回路および半導体メモリ

(57)【要約】

【課題】 強誘電体キャパシタの残留分極を利用したメモリセルおよびラッチ回路のリコール動作を確実に行う

【解決手段】 ラッチ回路を構成する2つのバッファ回路の入力は、電源の接続前に、強誘電体キャパシタの容量カッピング効果または強誘電体キャパシタの容量分割により異なる電圧を受ける。スイッチ制御回路は、電源の投入後、第1プレート電圧が所定電圧まで上昇したときに、スイッチ制御信号を活性化する。スイッチ回路は、スイッチ制御信号の活性化に応答してオンし、バッファ回路の電源端子を電源線に接続する。このとき、バッファ回路の入力電圧は相違しているため、ラッチ回路には両入力電圧に応じて論理データが書き込まれる。この結果、電源の遮断前にラッチ回路に保持されていたデータが確実に再現される。



## 【特許請求の範囲】

【請求項1】 入力と出力とを互いに接続した2つのバッファ回路を有するラッチ回路と、  
一端が前記バッファ回路の入力にそれぞれ接続され、他端が第1プレート線に接続された一对の強誘電体キャパシタと、  
前記バッファ回路の電源端子をスイッチ制御信号に応じて電源線に接続するスイッチ回路と、  
前記第1プレート線に供給する第1プレート電圧を生成する第1プレート電圧発生回路と、  
電源の投入後、前記第1プレート電圧が所定電圧まで上昇したときに、前記スイッチ制御信号を活性化し、前記スイッチ回路をオンさせるスイッチ制御回路とを備えていることを特徴とする半導体集積回路。

【請求項2】 入力と出力とを互いに接続した2つのバッファ回路を有するラッチ回路と、  
第1プレート線と第2プレート線との間に直列に接続され、中間ノードが前記バッファ回路の一方の入力に接続された一对の第1強誘電体キャパシタと、  
前記第1プレート線と前記第2プレート線との間に直列に接続され、中間ノードが前記バッファ回路の他方の入力に接続された一对の第2強誘電体キャパシタと、  
前記バッファ回路の電源端子をスイッチ制御信号に応じて電源線に接続するスイッチ回路と、  
前記第1プレート線に供給する第1プレート電圧を生成する第1プレート電圧発生回路と、  
電源の投入から所定の期間、前記第2プレート線に供給する、前記第1プレート電圧より低い第2プレート電圧を生成する第2プレート電圧発生回路と、  
電源の投入後、前記第1プレート電圧が所定電圧まで上昇したときに、前記スイッチ制御信号を活性化し、前記スイッチ回路をオンさせるスイッチ制御回路とを備えていることを特徴とする半導体集積回路。

【請求項3】 請求項1または請求項2記載の半導体集積回路において、  
前記各バッファ回路は、pMOSトランジスタおよびnMOSトランジスタからなるCMOSインバータで構成され、  
前記pMOSトランジスタのソースは、前記スイッチ回路を介して電源線に接続され、  
前記nMOSトランジスタのソースは、前記スイッチ回路を介して接地線に接続され、  
前記pMOSトランジスタの基板は、前記電源線に接続され、  
前記nMOSトランジスタの基板は、前記接地線に接続されていることを特徴とする半導体集積回路。

【請求項4】 マスタラッチ回路とスレーブラッチ回路とが縦続接続された記憶回路を有する半導体集積回路であって、  
前記マスタラッチ回路およびスレーブラッチ回路の少なくとも一方は、

10 電源の投入後、前記第1プレート電圧が所定電圧まで上昇したときに、前記スイッチ制御信号を活性化し、前記スイッチ回路をオンさせるスイッチ制御回路とを備えていることを特徴とする半導体集積回路。

【請求項5】 マスタラッチ回路とスレーブラッチ回路とが縦続接続された記憶回路を有する半導体集積回路であって、  
前記マスタラッチ回路およびスレーブラッチ回路の少なくとも一方は、  
入力と出力とを互いに接続した2つのバッファ回路を有するラッチ回路と、  
第1プレート線と第2プレート線との間に直列に接続され、中間ノードが前記バッファ回路の一方の入力に接続された一对の第1強誘電体キャパシタと、  
前記第1プレート線と前記第2プレート線との間に直列に接続され、中間ノードが前記バッファ回路の他方の入力に接続された一对の第2強誘電体キャパシタと、  
前記バッファ回路の電源端子をスイッチ制御信号に応じて電源線に接続するスイッチ回路と、  
前記第1プレート線に供給する第1プレート電圧を生成する第1プレート電圧発生回路と、

20 30 電源の投入から所定の期間、前記第2プレート線に供給する、前記第1プレート電圧より低い第2プレート電圧を生成する第2プレート電圧発生回路と、  
電源の投入後、前記第1プレート電圧が所定電圧まで上昇したときに、前記スイッチ制御信号を活性化し、前記スイッチ回路をオンさせるスイッチ制御回路とを備えていることを特徴とする半導体集積回路。

【請求項6】 請求項4または請求項5の記載の半導体集積回路において、  
前記各バッファ回路は、pMOSトランジスタおよびnMOSトランジスタからなるCMOSインバータで構成され、  
前記pMOSトランジスタのソースは、前記スイッチ回路を介して電源線に接続され、  
前記nMOSトランジスタのソースは、前記スイッチ回路を介して接地線に接続され、  
前記pMOSトランジスタの基板は、前記電源線に接続され、  
前記nMOSトランジスタの基板は、前記接地線に接続されていることを特徴とする半導体集積回路。

【請求項7】 入力と出力とを互いに接続した2つの反

転回路を有するラッチ回路と、一端が前記反転回路の入力にそれぞれ接続され、他端が第1プレート線に接続された一対の強誘電体キャパシタとを有する複数のメモリセルと、

前記反転回路の電源端子をスイッチ制御信号に応じて電源線に接続するスイッチ回路と、

前記第1プレート線に供給する第1プレート電圧を生成する第1プレート電圧発生回路と、

電源の投入後、前記第1プレート電圧が所定電圧まで上昇したときに、前記スイッチ制御信号を活性化し、前記スイッチ回路をオンさせるスイッチ制御回路とを備えていることを特徴とする半導体メモリ。

【請求項8】 入力と出力とを互いに接続した2つの反転回路を有するラッチ回路と、第1プレート線と第2プレート線との間に直列に接続され、中間ノードが前記バッファ回路の一方の入力に接続された一対の第1強誘電体キャパシタと、前記第1プレート線と前記第2プレート線との間に直列に接続され、中間ノードが前記反転回路の他方の入力に接続された一対の第2強誘電体キャパシタとを有する複数のメモリセルと、

前記反転回路の電源端子をスイッチ制御信号に応じて電源線に接続するスイッチ回路と、

前記第1プレート線に供給する第1プレート電圧を生成する第1プレート電圧発生回路と、

電源の投入から所定の期間、前記第2プレート線に供給する、前記第1プレート電圧より低い第2プレート電圧を生成する第2プレート電圧発生回路と、

電源の投入後、前記第1プレート電圧が所定電圧まで上昇したときに、前記スイッチ制御信号を活性化し、前記スイッチ回路をオンさせるスイッチ制御回路とを備えていることを特徴とする半導体メモリ。

【請求項9】 請求項7または請求項8記載の半導体メモリにおいて、

前記各反転回路は、pMOSトランジスタおよびnMOSトランジスタからなるCMOSインバータで構成され、

前記pMOSトランジスタのソースは、前記スイッチ回路を介して電源線に接続され、

前記nMOSトランジスタのソースは、前記スイッチ回路を介して接地線に接続され、

前記pMOSトランジスタの基板は、前記電源線に接続され、

前記nMOSトランジスタの基板は、前記接地線に接続されていることを特徴とする半導体メモリ。

【請求項10】 請求項7または請求項8記載の半導体メモリにおいて、

前記スイッチ回路は、複数の前記メモリセルに共通に形成されていることを特徴とする半導体メモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、強誘電体キャパシ

タを使用したラッチ回路を有する半導体集積回路および半導体メモリに関する。

#### 【0002】

【従来の技術】 一般に、半導体集積回路に形成されるラッチ回路は、揮発性であるため、電源が遮断された後、保持しているデータが失われる。近年、強誘電体膜を可変容量キャパシタとして使用することでラッチ回路を形成し、このラッチ回路をメモリセルに適用した不揮発性SRAM (Nonvolatile Static Random Access Memory) が提案されている (T. Miwa et al., in Proc. of CICC, May 2000, pp100-200)。図19は、この種の半導体メモリのメモリセルを示している。

【0003】 メモリセルは、入力と出力とを互いに接続した2つのCMOSインバータ1a、1bで構成されたラッチ回路3と、CMOSインバータ1a、1bの入力ノードN、NXにそれぞれ接続された強誘電体キャパシタ3a、3bと、入力ノードN、NXをビット線BL、BLXにそれぞれ接続する転送トランジスタ4a、4bとを有している。転送トランジスタ4a、4bのゲートは、ワード線WLに接続されている。

【0004】 このメモリセルでは、ラッチ回路2に書き込まれたデータは、強誘電体キャパシタ3a、3bの残留分極として電源の遮断後も保持される。電源の投入時に、CMOSインバータ1a、1bの入力電圧は、残留分極に対応するノードN、NXの容量差によってアンバランスにされる。すなわち、強誘電体キャパシタ3a、3bの残留分極を利用して、電源の遮断前に保持されていたデータがラッチ回路2に再び書き込まれる。この動作は、リコール動作と称されている。

【0005】 以下、電源の投入時の詳細を説明する。まず、強誘電体キャパシタ3a、3bのプレート電圧PLが、接地電圧VSS (0V) に固定され、ラッチ回路2を構成するCMOSインバータ1a、1bに電源電圧VDDおよび接地電圧VSSが供給される。強誘電体キャパシタ3a、3bは、分極状態に対応して容量値が異なっている。容量値が大きい強誘電体キャパシタ3aは、容量値の小さい強誘電体キャパシタ3bに比べて電圧の上昇に時間がかかる。このため、ノードN、NX間に微少な電圧差が生じる。この電圧差は、電源の供給とともにラッチ回路2の差動增幅作用で電圧増幅される。そして、ノードN、NXは、最終的に電源電圧VDDまたは接地電圧VSSに固定される。すなわち、電源の遮断前のデータが再現される。

#### 【0006】

【発明が解決しようとする課題】 電源の投入時に電源電圧VDDが上昇すると、ラッチ回路2のノードN、NXは、CMOSインバータ1a、1bのpMOSトランジスタを介して電源線VDDからそれぞれ充電される。一方、ノードN、NXの電荷は、CMOSインバータ1a、1bのnMOSトランジスタを介して接地線VSSにそれぞれ放電される。電源電圧VDDが低いとき、ノードN、NXの電圧は、pMOSトランジスタ

およびnMOSトランジスタのリーク電流と、ノードN、NXの容量により決まる。例えば、CMOSインバータ1a、1bのpMOSトランジスタの閾値電圧が、 $\Delta V_{th}=80mV$ ばらついているとする。このとき、両pMOSトランジスタのリーク電流は、一桁相違する（Sファクタ=80mVを仮定）。CMOSインバータ1a、1bのnMOSトランジスタの閾値電圧が同じとすると、ノードN、NXの充電電流は、それぞれpMOSトランジスタのリーク電流に対応した値になる。

【0007】ノードN、NXの容量（ノードN、NXにそれぞ\*

$$V_n = Q_n / C_n = (I_n \times 0.5E-3) / C_n = 0.25[V]$$

$$V_{nx} = Q_{nx} / C_{nx} = (I_{nx} \times 0.5E-3) / C_{nx} = 0.1[V] \quad \dots \dots (2)$$

実際には、ラッチ回路2は増幅機能を有するため、電圧 $V_n$ 、 $V_{nx}$ の差はさらに大きくなる。上記の例では、電源電圧の上昇により、最終的にノードNは電源電圧VDD（論理“H”）になり、ノードNXは接地電圧VSS（論理“L”）になる。

【0009】しかしながら、本来、寄生容量の大きいノードNは、充電時間が長いため、論理“L”になるべきである。寄生容量の小さいノードNXは、充電時間が短いため、論理“H”になるべきである。すなわち、図19に示したメモリセルでは、pMOSトランジスタの閾値電圧のばらつきにより、誤ったデータが再現されてしまう。なお、誤ったリコール動作は、nMOSトランジスタの閾値電圧のばらつきによっても発生する。この種の誤動作は、メモリセルに限らず、強誘電体キャパシタの残留分極を利用したラッチ回路でも発生する。

【0010】本発明の目的は、強誘電体キャパシタの残留分極を利用したメモリセルおよびラッチ回路のリコール動作を確実に行うことにある。

【0011】

【課題を解決するための手段】請求項1、請求項4の半導体集積回路および請求項7の半導体メモリでは、2つのバッファ回路の入力と出力とが互いに接続され、ラッチ回路が形成されている。一对の強誘電体キャパシタの一端は、バッファ回路の入力にそれぞれ接続されている。強誘電体キャパシタの他端は、第1プレート線に接続されている。電源の遮断前にラッチ回路に保持されていたデータは、強誘電体キャパシタの残留分極として保持されている。本発明のラッチ回路および強誘電体キャパシタは、例えば、マスタラッチ回路とスレーブラッチ回路とを継続接続した記憶回路における少なくとも一方、あるいは、半導体メモリのメモリセルに適用される。

【0012】第1プレート電圧発生回路は、第1プレート線に供給する第1プレート電圧を生成する。電源の投入後、第1プレート電圧の上昇とともに、強誘電体キャパシタの他端の電圧が上昇する。強誘電体キャパシタの一端の電圧は、強誘電体キャパシタの容量カップリング効果により、強誘電体キャパシタの分極に対応する容量※50

\*れ接続されている強誘電体キャパシタ3a、3bを含む）を充電する正味の電流を、それぞれ $I_n=1nA$ 、 $I_{nx}=0.1nA$ とする。ここで、正味の電流とは、各CMOSインバータ1a、1bにおけるpMOSトランジスタのリーク電流とnMOSトランジスタのリーク電流の差である。また、ノードN、NXの容量（強誘電体キャパシタ3a、3bを含む）を、それぞれ $C_n=200fF$ 、 $C_{nx}=50fF$ とする。

【0008】このとき、電源の投入から0.5ms後のノードN、NXの電圧 $V_n$ 、 $V_{nx}$ は、次式（1）、（2）で表される。

$$\dots \dots (1)$$

$$\dots \dots (2)$$

※値に応じて上昇する。すなわち、2つのバッファ回路に電源が供給される前に、これ等バッファ回路の入力の電圧は、互いに相違する。

【0013】スイッチ制御回路は、電源の投入後、第1プレート電圧が所定電圧まで上昇したときに、スイッチ制御信号を活性化する。スイッチ回路は、スイッチ制御信号の活性化に応答してオンし、バッファ回路の電源端子を電源線に接続する。このとき、バッファ回路の入力電圧は相違しているため、ラッチ回路には両入力電圧に応じて論理データが書き込まれる。この結果、電源の遮断前にラッチ回路に保持されていたデータが再現される。すなわち、正常なリコール動作が行われる。

【0014】請求項2、請求項5の半導体集積回路および請求項8の半導体メモリでは、2つのバッファ回路の入力と出力とが互いに接続され、ラッチ回路が形成されている。一对の第1強誘電体キャパシタは、第1プレート線と第2プレート線との間に直列に接続されている。

30 2つの第1強誘電体キャパシタを接続する中間ノードは、バッファ回路の一方の入力に接続されている。一对の第2強誘電体キャパシタは、第1プレート線と第2プレート線との間に直列に接続されている。2つの第2強誘電体キャパシタを接続する中間ノードは、バッファ回路の他方の入力に接続されている。電源の遮断前にラッチ回路に保持されていたデータは、強誘電体キャパシタの残留分極として保持されている。本発明のラッチ回路および強誘電体キャパシタは、例えば、マスタラッチ回路とスレーブラッチ回路とを継続接続した記憶回路における少なくとも一方、あるいは、半導体メモリのメモリセルに適用される。

【0015】第1プレート電圧発生回路は、第1プレート線に供給する第1プレート電圧を生成する。第2プレート電圧発生回路は、電源の投入から所定の期間、第2プレート線に供給する第2プレート電圧を生成する。この期間、第2プレート電圧は、第1プレート電圧より低く、例えば、接地電圧に固定されている。電源の投入後、第1プレート電圧の上昇とともに、第1強誘電体キャパシタの中間ノードの電圧および第2強誘電体キャパシタの中間ノードの電圧は、これ等強誘電体キャパシタ

の容量分割に応じて上昇する。すなわち、2つのバッファ回路に電源が供給される前に、これ等バッファ回路の入力の電圧は、互いに相違する。

【0016】スイッチ制御回路は、電源の投入後、第1プレート電圧が所定電圧まで上昇したときに、スイッチ制御信号を活性化する。スイッチ回路は、スイッチ制御信号の活性化に応答してオンし、バッファ回路の電源端子を電源線に接続する。このとき、バッファ回路の入力電圧は相違しているため、ラッチ回路には両入力電圧に応じて論理データが書き込まれる。この結果、電源の遮断前にラッチ回路に保持されていたデータが再現される。すなわち、正常なリコール動作が行われる。

【0017】請求項3、請求項6の半導体集積回路および請求項9の半導体メモリでは、各バッファ回路は、pMOSトランジスタおよびnMOSトランジスタからなるCMOSインバータで構成されている。pMOSトランジスタのソースは、スイッチ回路を介して電源線に接続され、pMOSトランジスタの基板は、電源線に接続されている。nMOSトランジスタのソースは、スイッチ回路を介して接地線に接続され、nMOSトランジスタの基板は、接地線に接続されている。このため、電源の投入時に基板がフローティングになることが防止され、トランジスタの誤動作（ラッチアップ等）が防止される。

【0018】請求項10の半導体メモリでは、スイッチ回路は、複数のメモリセルに共通に形成されている。スイッチ回路の総数が減るため、半導体メモリのチップサイズを小さくなる。

#### 【0019】

【発明の実施の形態】以下、本発明の実施形態を図面を用いて説明する。図1は、本発明の第1の実施形態を示している。この実施形態は、請求項1および請求項3に対応している。この半導体集積回路は、シリコン基板上にCMOSプロセスを使用して形成されている。半導体集積回路は、第1プレート電圧発生回路10、スイッチ制御回路12、および不揮発性ラッチ回路14を有している。第1プレート電圧発生回路10は、電源電圧VDDに応じて第1プレート電圧PL1を生成する。スイッチ制御回路12は、第1プレート電圧PL1に応じて相補のスイッチ制御信号ENX、ENを生成する。末尾に"X"が付く信号は、負論理を表している。

【0020】不揮発性ラッチ回路14は、入力と出力を互いに接続した2つのCMOSインバータ（バッファ回路）14a、14bを有するラッチ回路14c、pMOSトランジスタからなるスイッチ回路14d、nMOSトランジスタからなるスイッチ回路14e、強誘電体キャパシタ14f、14g、およびCMOSスイッチ14h、14iを有している。CMOSインバータ14a、14bを構成するpMOSトランジスタおよびnMOSトランジスタの基板は、それぞれ電源線VDDおよび接地線VSSに接続されている。

【0021】スイッチ回路14dは、CMOSインバータ1

10

20

30

40

50

4a、14bのpMOSトランジスタのソース（電源端子）を電源線VDDに接続する。スイッチ回路14eは、CMOSインバータ14a、14bのnMOSトランジスタのソース（電源端子）を接地線VSSに接続する。強誘電体キャパシタ14fは、一端がCMOSインバータ14aの入力ノードNに接続され、他端がプレート線PL1に接続されている。強誘電体キャパシタ14gは、一端がCMOSインバータ14bの入力ノードNXに接続され、他端がプレート線PL1に接続されている。強誘電体キャパシタ14f、14gに附加した矢印の向きは、分極状態を示している。矢印の先端側の電極は、正にチャージされている。

【0022】CMOSスイッチ14hは、不揮発性ラッチ回路14の入力INをCMOSインバータ14aの入力ノードNに接続する。CMOSスイッチ14hは、クロック信号CKが低レベル（=クロック信号CKXが高レベル）のときにオンする。CMOSスイッチ14iは、CMOSインバータ14bの出力をCMOSインバータ14aの入力に接続する。CMOSスイッチ14iは、クロック信号CKが高レベル（=クロック信号CKXが低レベル）のときにオンする。

【0023】図2は、第1の実施形態の半導体集積回路の動作を示している。この例では、図1に示した不揮発性ラッチ回路14は、予め論理"H"を保持している。このとき、CMOSインバータ14aは、高レベルを出力し、CMOSインバータ14bは、低レベルを出力している。そして、電源の遮断前に、第1プレート電圧PL1が低レベル、高レベル、低レベルに変化することで、ノードNの低レベルおよびノードNXの高レベルが、それぞれ強誘電体キャパシタ14f、14gの残留分極として書き込まれる。この結果、強誘電体キャパシタ14f、14gは、図1に示したように、分極状態（矢印の向き）は、互いに反対になる。この例では、強誘電体キャパシタ14f、14gの分極状態に対応する平均容量を、それぞれ50fF、200fFとし、ノードN、NXの寄生容量を、ともに5fFとする。

【0024】電源の投入時、クロック信号CK、CKXは、高レベル、低レベルにそれぞれ固定されている。すなわち、ラッチ回路14cのCMOSインバータ14a、14bはフィードバックループを形成している。第1プレート電圧発生回路10は、電源電圧VDDに追従して第1プレート電圧PL1を生成する。第1プレート電圧PL1は、所定の電源電圧VDD（例えば、3.3V）まで上昇する。スイッチ制御回路12は、第1プレート電圧PL1が上昇している期間、高レベルのスイッチ制御信号ENXと低レベルのスイッチ制御信号ENを出力する。高レベルのスイッチ制御信号ENXおよび低レベルのスイッチ制御信号ENにより、スイッチ回路14d、14eはオフする。このため、電源電圧VDDおよび接地電圧VSSは、ラッチ回路14cに供給されず、ラッチ回路14cのCMOSインバータ14a、14bは非活性化される。したがって、ノードN、NXはフローティングになる。

【0025】CMOSインバータ14a、14bのpMOSトランジスタおよびnMOSトランジスタの基板には、それぞれ電源電圧VDDおよび接地電圧VSSが直接供給されている。このため、スイッチ回路14d、14eがオフしている期間にラッチアップが発生することが防止される。強誘電体キャパシタ14f、14gの容量カッピング効果により、ノードN、NXの電圧は、第1プレート電圧PL1の上昇とともに上昇する。第1プレート電圧PL1が電源電圧VDD(3.3V)まで上昇したときに、ノードNの電圧は、 $3V (3.3V \times 50fF / (5fF + 50fF))$ になり、ノードNXの電圧は、 $3.22V (3.3V \times 200fF / (5fF + 200fF))$ になる。

【0026】スイッチ制御回路12は、第1プレート電圧PL1が電源電圧VDDまで上昇した後、スイッチ制御信号EN、ENXをそれぞれ高レベル、低レベルに変化する。この変化により、電源電圧VDDおよび接地電圧VSSが、ラッチ回路14cのCMOSインバータ14a、14bに供給され、CMOSインバータ14a、14bが活性化する。CMOSインバータ14a、14bの入力ノードN、NXは、上述したように220mVの電圧差(オフセット電圧)を有している。ラッチ回路14cは、この電圧差を増幅する。最終的に、ノードNの電圧は接地電圧VSS(論理" L")になり、NXの電圧は、電源電圧VDD(論理" H")になる。この結果、強誘電体キャパシタ14f、14gの残留分極に応じたデータがラッチ回路14cに読み込まれる。すなわち、リコール動作により、電源の遮断前にラッチ回路14cに保持されていたデータが再現される。

【0027】図3は、第1の実施形態の半導体集積回路の別の動作を示している。この例では、第1プレート電圧発生回路10は、電源電圧VDD(3.3V)より高い第1プレート電圧PL1(VDDH=3.6V)を生成する。このため、CMOSインバータ14a、14bが活性化する前の入力ノードN、NXのオフセット電圧は、図2の場合より大きくなる。第1プレート電圧PL1を10%高く設定すると、オフセット電圧も10%増加する。このため、リコール動作をより確実に行うことができる。

【0028】なお、複数の不揮発性ラッチ回路14が、半導体集積回路内に形成される場合、これ等不揮発性ラッチ回路14に共通のスイッチ回路14d、14eを形成することで、半導体集積回路のチップサイズを小さくできる。以上、本実施形態では、強誘電体キャパシタ14f、14gの容量カッピング効果を利用して、ラッチ回路14cを構成する2つのCMOSインバータ14a、14bの入力に互いに異なる電圧を与えた後、電源電圧VDDおよび接地電圧VSSをCMOSインバータ14a、14bに供給した。このため、電源の遮断前にラッチ回路14cに保持されていたデータを確実に再現できる。すなわち、リコール動作を確実に実行できる。

【0029】CMOSインバータ14a、14bのpMOSトランジスタおよびnMOSトランジスタ基板を、それぞれ電源線VDDおよび接地線VSSに接続した。このため、電源の投

10

20

30

40

50

入時に基板がフローティングになることが防止され、トランジスタの誤動作(ラッチアップ等)を防止できる。図4は、本発明の第2の実施形態を示している。この実施形態は、請求項2および請求項3に対応している。第1の実施形態で説明した回路・信号と同一の回路・信号については、同一の符号を付し、これ等については、詳細な説明を省略する。

【0030】この実施形態では、第1の実施形態の不揮発性ラッチ回路14に強誘電体キャパシタ16a、16bが追加されて、不揮発性ラッチ回路16が形成されている。また、第2プレート電圧PL2を生成する第2プレート電圧生成回路18が形成されている。その他の構成は、第1の実施形態と同一である。すなわち、不揮発性ラッチ回路16は、CMOSインバータ14a、14bで構成されたラッチ回路14c、スイッチ回路14d、14e、強誘電体キャパシタ14f、14g、およびCMOSスイッチ14h、14iを有している。CMOSインバータ14a、14bを構成するpMOSトランジスタおよびnMOSトランジスタの基板は、それぞれ電源線VDDおよび接地線VSSに接続されている。

【0031】強誘電体キャパシタ16aは、一端がCMOSインバータ14aの入力ノードNに接続され、他端が第2プレート線PL2に接続されている。強誘電体キャパシタ16bは、一端がCMOSインバータ14bの入力ノードNXに接続され、他端が第2プレート線PL2に接続されている。図5は、図4に示した不揮発性ラッチ回路16の容量の等価回路を示している。この例では、不揮発性ラッチ回路16は、予め論理" H"を保持している。このとき、CMOSインバータ14aは、高レベルを出力し、CMOSインバータ14bは、低レベルを出力している。電源の遮断前に、第1プレート電圧発生回路10は、第1プレート電圧PL1を、低レベル、高レベル、低レベルに変化する。第2プレート電圧発生回路18は、第2プレート電圧PL2を、低レベル、高レベル、低レベルに変化する。そして、ノードNの低レベルおよびノードNXの高レベルが、それぞれ強誘電体キャパシタ14f、14g、16a、16bの残留分極として書き込まれる。

【0032】この例では、強誘電体キャパシタ14f、14g、16a、16bの分極状態に対応する平均容量は、それぞれ50fF、200fF、200fF、50fFとする。第2プレート電圧PL2を接地したときのノードN、NXの寄生容量は、第1の実施形態と同様に5fFとする。図6は、第2の実施形態の半導体集積回路の動作を示している。電源の投入時、クロック信号CK、CKXは、高レベル、低レベルにそれぞれ固定されている。すなわち、ラッチ回路14cのCMOSインバータ14a、14bはフィードバックループを形成している。

【0033】第1プレート電圧発生回路10は、電源電圧に追従して第1プレート電圧PL1を生成する。第1プレート電圧PL1は、所定の電源電圧VDD(例えば、3.3V)

まで上昇する。第2プレート電圧発生回路18は、接地電圧VSSを第2プレート電圧PL2として出力する。すなわち、第2プレート電圧発生回路18は、電源の投入から少なくとも第1プレート電圧PL1が電源電圧VDDに到達するまでの期間、接地電圧VSSを第2プレート電圧PL2として出力する。

【0034】スイッチ制御回路12は、第1プレート電圧PL1が上昇している期間、高レベルのスイッチ制御信号ENXと低レベルのスイッチ制御信号ENを出力する。高レベルのスイッチ制御信号ENXおよび低レベルのスイッチ制御信号ENにより、スイッチ回路14d、14eはオフし、CMOSインバータ14a、14bは非活性化される。したがって、ノードN、NXはフローティングになる。

【0035】CMOSインバータ14a、14bのpMOSトランジスタおよびnMOSトランジスタの基板には、それぞれ電源電圧VDDおよび接地電圧VSSが直接供給されている。このため、スイッチ回路14d、14eがオフしている間にラッチアップが発生することが防止される。ノードNの電圧は、強誘電体キャパシタ14f、16a（一对の第1強誘電体キャパシタ）の容量分割に応じて、第1プレート電圧PL1の上昇とともに上昇する。ノードNXの電圧は、強誘電体キャパシタ14g、16b（一对の第2強誘電体キャパシタ）の容量分割に応じて、第1プレート電圧PL1の上昇とともに上昇する。第1プレート電圧PL1が電源電圧VDD(3.3V)まで上昇したときには、ノードNの電圧は、 $0.65V (3.3V \times 50fF / (5fF + 50fF + 200fF))$ になり、ノードNXの電圧は、 $2.59V (3.3V \times 200fF / (5fF + 50fF + 200fF))$ になる。すなわち、強誘電体キャパシタ14f、16aおよび強誘電体キャパシタ14g、16bをそれぞれ直列に接続し、その中間ノードをノードN、NXにそれぞれ接続することで、ノードN、NXの電圧差（オフセット電圧）は、1.84Vと大幅に大きくなる。

【0036】この後、第1の実施形態と同様に、スイッチ制御信号EN、ENXをそれぞれ高レベル、低レベルに変化して、CMOSインバータ14a、14bが活性化される。ラッチ回路14cは、1.84Vの電圧差を增幅し、ノードNの電圧は接地電圧VSSになり、NXの電圧は、電源電圧VDDになる。この結果、強誘電体キャパシタ14f、14g、16a、16bの残留分極に応じたデータがラッチ回路14cに読み込まれる。すなわち、リコール動作により、電源の遮断前にラッチ回路14cに保持されていたデータが再現される。

【0037】図7は、上述した半導体集積回路の別の動作を示している。この例では、第1プレート電圧発生回路10は、電源電圧VDD(3.3V)より高い第1プレート電圧PL1(VDDH=3.6V)を生成する。このため、CMOSインバータ14a、14bが活性化する前の入力ノードN、NXのオフセット電圧は、図6より大きくでき、リコール

動作をより確実に行うことができる。

【0038】なお、複数の不揮発性ラッチ回路16が、半導体集積回路内に形成される場合、これ等不揮発性ラッチ回路16に共通のスイッチ回路14d、14eを形成することで、半導体集積回路のチップサイズを小さくできる。この実施形態においても、上述した第1の実施形態と同様の効果を得ることができる。さらに、この実施形態では、直列に接続された強誘電体キャパシタ14f、16a（一对の第1強誘電体キャパシタ）および強誘電体キャパシタ14g、16b（一对の第2強誘電体キャパシタ）をそれぞれ直列に接続し、その中間ノードをそれぞれCMOSインバータ14a、14bの入力に接続した。このため、容量分割によりノードN、NXのオフセット電圧を大きくでき、電源の遮断前にラッチ回路14cに保持されていたデータをさらに確実に再現できる。

【0039】図8は、本発明の第3の実施形態を示している。この実施形態は、請求項4および請求項6に対応している。第1の実施形態で説明した回路・信号と同一の回路・信号については、同一の符号を付し、これ等については、詳細な説明を省略する。この実施形態では、半導体集積回路は、第1プレート電圧発生回路10、スイッチ制御回路12、および揮発性ラッチ回路20と不揮発性ラッチ回路14とが織続接続されたDフリップフロップ回路を有している。揮発性ラッチ回路20は、ラッチ回路20a、CMOSスイッチ20b、およびCMOSスイッチ20cを有している。

【0040】ラッチ回路20aは、2つのCMOSインバータの入力と出力とを互いに接続して形成されている。CMOSスイッチ20bは、入力信号INをラッチ回路20aに転送する。CMOSスイッチ20cは、ラッチ回路20bのフィードバックループを接続する。揮発性ラッチ回路20は、マスタラッチ回路として動作し、不揮発性ラッチ回路14は、スレーブラッチ回路として動作する。すなわち、電源の遮断前のスレーブラッチ回路のデータが、電源の投入後に有効になる。

【0041】この実施形態においても、上述した第1の実施形態と同様の効果を得ることができる。図9は、本発明の第4の実施形態を示している。この実施形態は、請求項4および請求項6に対応している。第1および第3の実施形態で説明した回路・信号と同一の回路・信号については、同一の符号を付し、これ等については、詳細な説明を省略する。

【0042】この実施形態では、半導体集積回路は、第1プレート電圧発生回路10、スイッチ制御回路12、および不揮発性ラッチ回路14と揮発性ラッチ回路20とが織続接続されたDフリップフロップ回路を有している。不揮発性ラッチ回路14は、マスタラッチ回路として動作し、揮発性ラッチ回路20は、スレーブラッチ回路として動作する。すなわち、電源の遮断前のマスタラッチ回路のデータが、電源の投入後に有効になる。この

実施形態においても、上述した第1の実施形態と同様の効果を得ることができる。

【0043】図10は、本発明の第5の実施形態を示している。この実施形態は、請求項4および請求項6に対応している。第1および第3の実施形態で説明した回路・信号と同一の回路・信号については、同一の符号を付し、これ等については、詳細な説明を省略する。この実施形態では、半導体集積回路は、第1プレート電圧発生回路10、スイッチ制御回路12、および2つの不揮発性ラッチ回路14が継続接続されたDフリップフロップ回路を有している。すなわち、電源の遮断前のマスタラッチ回路およびスレーブラッチ回路のデータが、電源の投入後にともに有効になる。この実施形態においても、上述した第1の実施形態と同様の効果を得ることができる。

【0044】図11は、本発明の第6の実施形態を示している。この実施形態は、請求項5および請求項6に対応している。第2および第3の実施形態で説明した回路・信号と同一の回路・信号については、同一の符号を付し、これ等については、詳細な説明を省略する。この実施形態では、半導体集積回路は、第1プレート電圧発生回路10、スイッチ制御回路12、第2プレート電圧発生回路18、および揮発性ラッチ回路20と不揮発性ラッチ回路16とが継続接続されたDフリップフロップ回路を有している。揮発性ラッチ回路20は、マスタラッチ回路として動作し、不揮発性ラッチ回路16は、スレーブラッチ回路として動作する。すなわち、電源の遮断前のスレーブラッチ回路のデータが、電源の投入後に有効になる。

【0045】第2プレート電圧発生回路18は、電源の投入から少なくとも第1プレート電圧PL1が電源電圧VDDに到達するまでの期間、接地電圧VSSを第2プレート電圧PL2として出力する。この実施形態においても、上述した第1の実施形態と同様の効果を得ることができる。

【0046】図12は、本発明の第7の実施形態を示している。この実施形態は、請求項5および請求項6に対応している。第2および第6の実施形態で説明した回路・信号と同一の回路・信号については、同一の符号を付し、これ等については、詳細な説明を省略する。この実施形態では、半導体集積回路は、第1プレート電圧発生回路10、スイッチ制御回路12、第2プレート電圧発生回路18、および不揮発性ラッチ回路16と揮発性ラッチ回路20とが継続接続されたDフリップフロップ回路を有している。不揮発性ラッチ回路16は、マスタラッチ回路として動作し、揮発性ラッチ回路20は、スレーブラッチ回路として動作する。すなわち、電源の遮断前のマスタラッチ回路のデータが、電源の投入後に有効になる。この実施形態においても、上述した第1および第2の実施形態と同様の効果を得ることができる。

【0047】図13は、本発明の第8の実施形態を示し

ている。この実施形態は、請求項5および請求項6に対応している。第2および第6の実施形態で説明した回路・信号と同一の回路・信号については、同一の符号を付し、これ等については、詳細な説明を省略する。この実施形態では、半導体集積回路は、第1プレート電圧発生回路10、スイッチ制御回路12、第2プレート電圧発生回路18、および2つの不揮発性ラッチ回路16が継続接続されたDフリップフロップ回路を有している。すなわち、電源の遮断前のマスタラッチ回路およびスレーブラッチ回路のデータが、電源の投入後にともに有効になる。この実施形態においても、上述した第1および第2の実施形態と同様の効果を得ることができる。

【0048】図14は、本発明の第9の実施形態を示している。この実施形態は、請求項7および請求項9に対応している。第1の実施形態で説明した回路・信号と同一の回路・信号については、同一の符号を付し、これ等については、詳細な説明を省略する。この実施形態では、本発明は、不揮発性SRAMに適用されている。不揮発性SRAMは、第1プレート電圧発生回路10、スイッチ制御回路12、および複数のメモリセルMCを有するメモリセルアレイを有している。特に図示していないが、不揮発性SRAMは、アドレス信号および制御信号の入力回路、データの入出力回路、制御信号をデコードするコマンドデコーダ、タイミング生成回路、ワードデコーダ、コラムデコーダ、センサアンプ等の回路を有している。

【0049】メモリセルMCは、入力と出力を互いに接続した2つのCMOSインバータ（反転回路）14a、14bを有するラッチ回路14c、pMOSトランジスタからなるスイッチ回路14d、nMOSトランジスタからなるスイッチ回路14e、強誘電体キャパシタ14f、14g、および転送スイッチ22a、22bを有している。CMOSインバータ14a、14bを構成するpMOSトランジスタおよびnMOSトランジスタの基板は、それぞれ電源線VDDおよび接地線VSSに接続されている。

【0050】スイッチ回路14dは、CMOSインバータ14a、14bのpMOSトランジスタのソース（電源端子）を電源線VDDに接続する。スイッチ回路14eは、CMOSインバータ14a、14bのnMOSトランジスタのソース（電源端子）を接地線VSSに接続する。強誘電体キャパシタ14fは、一端がCMOSインバータ14aの入力ノードNに接続され、他端がプレート線PL1に接続されている。強誘電体キャパシタ14gは、一端がCMOSインバータ14bの入力ノードNXに接続され、他端がプレート線PL1に接続されている。

【0051】転送スイッチ22aは、ノードNをビット線BLに接続する。転送スイッチ22bは、ノードNXをビット線BLXに接続する。転送スイッチ22a、22bは、ワード線WLが高レベルのときにオンする。上述した不揮発性SRAMでは、書き込み動作時に、相補のビット線BL、BLXに書き込みデータが供給され、ワード線WLが高

レベルにされる。相補の書き込みデータは、転送スイッチ22a、22bを介してラッチ回路14cに書き込まれる。電源電圧VDDが不揮発性SRAMに供給されている間、ラッチ回路14cに書き込まれたデータは保持される。

【0052】電源の遮断前に、第1プレート電圧PL1が低レベル、高レベル、低レベルに変化することで、例えば、ノードNの高レベル（論理“H”）およびノードNXの低レベル（論理“L”）が、それぞれ強誘電体キャパシタ14f、14gの残留分極として書き込まれる。そして、電源が遮断される。電源を再度投入する際に、電源の投入から所定の期間、ワード線WLは低レベルに固定される。すなわち、ラッチ回路14cのCMOSインバータ14a、14bはフィードバックループを形成する。この後、第1の実施形態と同様に、第1プレート電圧発生回路10は、電源電圧に追従して第1プレート電圧PL1を生成する。強誘電体キャパシタ14f、14gの容量カッピング効果により、ノードN、NXの電圧は、第1プレート電圧PL1の上昇とともに上昇する。

【0053】スイッチ制御回路12は、第1プレート電圧PL1が電源電圧VDDまで上昇した後、スイッチ制御信号EN、ENXをそれぞれ高レベル、低レベルに変化する。この変化により、CMOSインバータ14a、14bが活性化する。ラッチ回路14cは、ノードN、NXの電圧差を増幅し、電源の遮断前にメモリセルMCに保持されていたデータを再現する。

【0054】この実施形態においても、上述した第1の実施形態と同様の効果を得ることができる。図15は、本発明の第10の実施形態を示している。この実施形態は、請求項7、請求項9、請求項10に対応している。第1および第9の実施形態で説明した回路・信号について、同一の符号を付し、これ等については、詳細な説明を省略する。

【0055】この実施形態では、本発明は、不揮発性SRAMに適用されている。不揮発性SRAMは、ワードデコーダWLD、第1プレート電圧発生回路10、スイッチ制御回路12、スイッチ回路14d、14e、複数のメモリセルMCを有するメモリセルアレイALY、およびデータ入出力回路I/Oを有している。本発明は、スイッチ回路14d、14eが複数のメモリセルMCで共有されていることに特徴を有している。スイッチ回路14d、14eのドレインは、それぞれ電源供給線NDD、NSSに接続されている。ワード線WL、第1プレート電圧PL1の供給線、および電源供給線NDD、NSSは、図の横方向に沿ってメモリセルMCに配線されている。不揮発性SRAMは、図示した以外にもアドレス信号および制御信号の入力回路、制御信号をデコードするコマンドデコーダ、タイミング生成回路、コラムデコーダ、センスアンプ等の回路を有している。

【0056】図16は、メモリセルMCの詳細を示してい

る。メモリセルMCは、入力と出力を互いに接続した2つのCMOSインバータ（反転回路）14a、14bを有するラッチ回路14c、強誘電体キャパシタ14f、14g、および転送スイッチ22a、22bを有している。本実施形態のメモリセルMCは、スイッチ回路14d、14eを有していない。このため、メモリセルMCのレイアウトサイズは小さくなり、メモリセルアレイALYのレイアウトサイズは小さくなる。この結果、不揮発性SRAMのチップサイズを小さくできる。

【0057】不揮発性SRAMの動作は、上述した第9の実施形態と同じであるため、説明を省略する。この実施形態においても、上述した第1の実施形態と同様の効果を得ることができる。さらに、この実施形態では、スイッチ回路14d、14eを複数のメモリセルMCで共有した。このため、メモリセルMCのレイアウトサイズを小さくでき、不揮発性SRAMのチップサイズを小さくできる。

【0058】図17は、本発明の第11の実施形態を示している。この実施形態は、請求項8および請求項9に対応している。第2および第9の実施形態で説明した回路・信号と同一の回路・信号については、同一の符号を付し、これ等については、詳細な説明を省略する。この実施形態では、本発明は、不揮発性SRAMに適用されている。不揮発性SRAMは、第1プレート電圧発生回路10、スイッチ制御回路12、第2プレート電圧発生回路18、および複数のメモリセルMCを有するメモリセルアレイを有している。特に図示していないが、不揮発性SRAMは、アドレス信号および制御信号の入力回路、データの入出力回路、制御信号をデコードするコマンドデコーダ、タイミング生成回路、ワードデコーダ、コラムデコーダ、センスアンプ等の回路を有している。

【0059】メモリセルMCは、第9の実施形態（図14）のメモリセルMCに強誘電体キャパシタ16a、16bを追加して形成されている。強誘電体キャパシタ16aは、一端がCMOSインバータ14aの入力ノードNに接続され、他端が第2プレート線PL2に接続されている。強誘電体キャパシタ16bは、一端がCMOSインバータ14bの入力ノードNXに接続され、他端が第2プレート線PL2に接続されている。その他の構成は、第9の実施形態と同一である。

【0060】上述した不揮発性SRAMでは、書き込み動作時に、第9の実施形態と同様に相補のビット線BL、BLXに書き込みデータが供給され、ワード線WLが高レベルにされる。相補の書き込みデータは、転送スイッチ22a、22bを介してラッチ回路14cに書き込まれる。電源電圧VDDが不揮発性SRAMに供給されている間、ラッチ回路14cに書き込まれたデータは保持される。

【0061】電源の遮断前に、第1プレート電圧PL1および第2プレート電圧PL2が低レベル、高レベル、低レベルにそれぞれ変化することで、ノードNの高レベルおよびノードNXの低レベルが、それぞれ強誘電体キャパシ

17

タ14f、14g、16a、16bの残留分極として書き込まれる。そして、電源が遮断される。電源を再度投入する際に、電源の投入から所定の期間、ワード線WLは低レベルに固定され、CMOSインバータ14a、14bはフィードバックループを形成する。この後、第2の実施形態と同様に、第2プレート電圧PL2を接地電圧VSSに固定した状態で、第1プレート電圧PL1が上昇される。すなわち、第2プレート電圧発生回路18は、電源の投入から少なくとも第1プレート電圧PL1が電源電圧VDDに到達するまでの期間、接地電圧VSSを第2プレート電圧PL2として出力する。ノードNの電圧は、強誘電体キャパシタ14f、16aの容量分割に応じて、第1プレート電圧PL1の上昇とともに上昇する。ノードNXの電圧は、強誘電体キャパシタ14g、16bの容量分割に応じて、第1プレート電圧PL1の上昇とともに上昇する。

【0062】第1プレート電圧PL1が電源電圧VDDまで上昇した後、スイッチ制御信号EN、ENXがそれぞれ高レベル、低レベルに変化される。この変化により、CMOSインバータ14a、14bが活性化し、ラッチ回路14cは、ノードN、NXの電圧差を増幅し、電源の遮断前にメモリセルMCに保持されていたデータを再現する。この実施形態においても、上述した第2の実施形態と同様の効果を得ることができる。

【0063】図18は、本発明の第12の実施形態を示している。この実施形態は、請求項8ないし請求項10に対応している。第2および第10の実施形態で説明した回路・信号と同一の回路・信号については、同一の符号を付し、これ等については、詳細な説明を省略する。この実施形態では、メモリセルMCの構造を除いて、上述した第10の実施形態と同一である。すなわち、不揮発性SRAMは、特に図示していないが、図15に示したワードデコーダWLD、第1プレート電圧発生回路10、スイッチ制御回路12、スイッチ回路14d、14e、複数のメモリセルMCを有するメモリセルアレイALY、およびデータ入出力回路I/Oを有している。

【0064】メモリセルMCは、第10の実施形態(図16)のメモリセルMCに強誘電体キャパシタ16a、16bを追加して形成されている。強誘電体キャパシタ16aは、一端がCMOSインバータ14aの入力ノードNに接続され、他端が第2プレート線PL2に接続されている。

強誘電体キャパシタ16bは、一端がCMOSインバータ14bの入力ノードNXに接続され、他端が第2プレート線PL2に接続されている。

【0065】本実施形態の不揮発性SRAMの動作は、上述した第11の実施形態と同様であるため、説明を省略する。この実施形態においても、上述した第2および第10の実施形態と同様の効果を得ることができる。なお、上述した実施形態では、CMOSインバータ14a、14bを構成するpMOSトランジスタおよびnMOSトランジスタの基板を、それぞれ電源線VDDおよび接地線VSSに接続した

10

20

30

40

50

例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、半導体基板の拡散層の構造が、ラッチアップを発生しない構造である場合、CMOSインバータ14a、14bを構成するpMOSトランジスタおよびnMOSトランジスタの基板を、それぞれpMOSトランジスタのソースおよびnMOSトランジスタのソースに接続してもよい。

【0066】上述した第9ないし第12の実施形態では、本発明を、2つのCMOSインバータ(反転回路)14a、14bを有するメモリセルMC(いわゆる6トランジスタタイプ)に適用した例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、本発明を、nMOSトランジスタと高抵抗からなる一対の反転回路を有するメモリセル(いわゆる4トランジスタタイプ)に適用してもよい。

【0067】以上の実施形態において説明した発明を整理して、付記として開示する。

(付記1) 入力と出力とを互いに接続した2つのバッファ回路を有するラッチ回路と、一端が前記バッファ回路の入力にそれぞれ接続され、他端が第1プレート線に接続された一対の強誘電体キャパシタと、前記バッファ回路の電源端子をスイッチ制御信号に応じて電源線に接続するスイッチ回路と、前記第1プレート線に供給する第1プレート電圧を生成する第1プレート電圧発生回路と、電源の投入後、前記第1プレート電圧が所定電圧まで上昇したときに、前記スイッチ制御信号を活性化し、前記スイッチ回路をオンさせるスイッチ制御回路とを備えていることを特徴とする半導体集積回路。

(付記2) 入力と出力とを互いに接続した2つのバッファ回路を有するラッチ回路と、第1プレート線と第2プレート線との間に直列に接続され、中間ノードが前記バッファ回路の一方の入力に接続された一対の第1強誘電体キャパシタと、前記第1プレート線と前記第2プレート線との間に直列に接続され、中間ノードが前記バッファ回路の他方の入力に接続された一対の第2強誘電体キャパシタと、前記バッファ回路の電源端子をスイッチ制御信号に応じて電源線に接続するスイッチ回路と、前記第1プレート線に供給する第1プレート電圧を生成する第1プレート電圧発生回路と、電源の投入から所定の期間、前記第2プレート線に供給する、前記第1プレート電圧より低い第2プレート電圧を生成する第2プレート電圧発生回路と、電源の投入後、前記第1プレート電圧が所定電圧まで上昇したときに、前記スイッチ制御信号を活性化し、前記スイッチ回路をオンさせるスイッチ制御回路とを備えていることを特徴とする半導体集積回路。

(付記3) 付記2記載の半導体集積回路において、前記第2プレート電圧発生回路は、少なくとも前記所定の期間、接地電圧を前記第2プレート電圧として出力することを特徴とする半導体集積回路。

(付記4) 付記1または付記2記載の半導体集積回路において、前記各バッファ回路は、pMOSトランジスタおよびnMOSトランジスタからなるCMOSインバータで構成され、前記pMOSトランジスタのソースは、前記スイッチ回路を介して電源線に接続され、前記nMOSトランジスタのソースは、前記スイッチ回路を介して接地線に接続され、前記pMOSトランジスタの基板は、前記電源線に接続され、前記nMOSトランジスタの基板は、前記接地線に接続されていることを特徴とする半導体集積回路。

【0070】(付記5) マスタラッチ回路とスレーブラッチ回路とが縦続接続された記憶回路を有する半導体集積回路であって、前記マスタラッチ回路およびスレーブラッチ回路の少なくとも一方は、入力と出力を互いに接続した2つのバッファ回路を有するラッチ回路と、一端が前記バッファ回路の入力にそれぞれ接続され、他端が第1プレート線に接続された一対の強誘電体キャパシタと、前記バッファ回路の電源端子をスイッチ制御信号に応じて電源線に接続するスイッチ回路と、前記第1プレート線に供給する第1プレート電圧を生成する第1プレート電圧発生回路と、電源の投入後、前記第1プレート電圧が所定電圧まで上昇したときに、前記スイッチ制御信号を活性化し、前記スイッチ回路をオンさせるスイッチ制御回路とを備えていることを特徴とする半導体集積回路。

【0071】(付記6) マスタラッチ回路とスレーブラッチ回路とが縦続接続された記憶回路を有する半導体集積回路であって、前記マスタラッチ回路およびスレーブラッチ回路の少なくとも一方は、入力と出力を互いに接続した2つのバッファ回路を有するラッチ回路と、第1プレート線と第2プレート線との間に直列に接続され、中間ノードが前記バッファ回路の一方の入力に接続された一対の第1強誘電体キャパシタと、前記第1プレート線と前記第2プレート線との間に直列に接続され、中間ノードが前記バッファ回路の他方の入力に接続された一対の第2強誘電体キャパシタと、前記バッファ回路の電源端子をスイッチ制御信号に応じて電源線に接続するスイッチ回路と、前記第1プレート線に供給する第1プレート電圧を生成する第1プレート電圧発生回路と、電源の投入から所定の期間、前記第2プレート線に供給する、前記第1プレート電圧より低い第2プレート電圧を生成する第2プレート電圧発生回路と、電源の投入後、前記第1プレート電圧が所定電圧まで上昇したときに、前記スイッチ制御信号を活性化し、前記スイッチ回路をオンさせるスイッチ制御回路とを備えていることを特徴とする半導体集積回路。

【0072】(付記7) 付記6記載の半導体集積回路において、前記第2プレート電圧発生回路は、少なくとも前記所定の期間、接地電圧を前記第2プレート電圧として出力することを特徴とする半導体集積回路。

(付記8) 付記5または付記6の記載の半導体集積回

路において、前記各バッファ回路は、pMOSトランジスタおよびnMOSトランジスタからなるCMOSインバータで構成され、前記pMOSトランジスタのソースは、前記スイッチ回路を介して電源線に接続され、前記nMOSトランジスタのソースは、前記スイッチ回路を介して接地線に接続され、前記pMOSトランジスタの基板は、前記電源線に接続され、前記nMOSトランジスタの基板は、前記接地線に接続されていることを特徴とする半導体集積回路。

【0073】(付記9) 入力と出力を互いに接続した2つの反転回路を有するラッチ回路と、一端が前記反転回路の入力にそれぞれ接続され、他端が第1プレート線に接続された一対の強誘電体キャパシタとを有する複数のメモリセルと、前記反転回路の電源端子をスイッチ制御信号に応じて電源線に接続するスイッチ回路と、前記第1プレート線に供給する第1プレート電圧を生成する第1プレート電圧発生回路と、電源の投入後、前記第1プレート電圧が所定電圧まで上昇したときに、前記スイッチ制御信号を活性化し、前記スイッチ回路をオンさせるスイッチ制御回路とを備えていることを特徴とする半導体メモリ。

【0074】(付記10) 入力と出力を互いに接続した2つの反転回路を有するラッチ回路と、第1プレート線と第2プレート線との間に直列に接続され、中間ノードが前記バッファ回路の一方の入力に接続された一対の第1強誘電体キャパシタと、前記第1プレート線と前記第2プレート線との間に直列に接続され、中間ノードが前記反転回路の他方の入力に接続された一対の第2強誘電体キャパシタとを有する複数のメモリセルと、前記反転回路の電源端子をスイッチ制御信号に応じて電源線に接続するスイッチ回路と、前記第1プレート線に供給する第1プレート電圧を生成する第1プレート電圧発生回路と、電源の投入から所定の期間、前記第2プレート線に供給する、前記第1プレート電圧より低い第2プレート電圧を生成する第2プレート電圧発生回路と、電源の投入後、前記第1プレート電圧が所定電圧まで上昇したときに、前記スイッチ制御信号を活性化し、前記スイッチ回路をオンさせるスイッチ制御回路とを備えていることを特徴とする半導体メモリ。

【0075】(付記11) 付記10記載の半導体メモリにおいて、前記第2プレート電圧発生回路は、少なくとも前記所定の期間、接地電圧を前記第2プレート電圧として出力することを特徴とする半導体メモリ。

(付記12) 付記9または付記10記載の半導体メモリにおいて、前記各反転回路は、pMOSトランジスタおよびnMOSトランジスタからなるCMOSインバータで構成され、前記pMOSトランジスタのソースは、前記スイッチ回路を介して電源線に接続され、前記nMOSトランジスタのソースは、前記スイッチ回路を介して接地線に接続され、前記pMOSトランジスタの基板は、前記電源線に接続され、前記nMOSトランジスタの基板は、前記接地線に接

続されていることを特徴とする半導体メモリ。

【0076】(付記13) 付記9または付記10記載の半導体メモリにおいて、前記スイッチ回路は、複数の前記メモリセルに共通に形成されていることを特徴とする半導体メモリ。以上、本発明について詳細に説明してきたが、上記の実施形態およびその変形例は発明の一例に過ぎず、本発明はこれに限定されるものではない。本発明を逸脱しない範囲で変形可能であることは明らかである。

#### 【0077】

【発明の効果】請求項1、請求項4の半導体集積回路および請求項7の半導体メモリでは、ラッチ回路を構成する2つのバッファ回路の入力は、電源の接続前に、強誘電体キャパシタの容量カッピング効果により異なる電圧を受ける。このため、電源の遮断前にラッチ回路に保持されていたデータを確実に再現できる。請求項2、請求項5の半導体集積回路および請求項8の半導体メモリでは、ラッチ回路を構成する2つのバッファ回路の入力は、電源の接続前に、第1強誘電体キャパシタの容量分割および第2強誘電体キャパシタの容量分割により異なる電圧を受ける。このため、電源の遮断前にラッチ回路に保持されていたデータを確実に再現できる。

【0078】請求項3、請求項6の半導体集積回路および請求項9の半導体メモリでは、電源の投入時に基板がフローティングになることを防止でき、ラッチャップ等のトランジスタの誤動作を防止できる。請求項10の半導体メモリでは、スイッチ回路の総数が減るため、半導体メモリのチップサイズを小さくできる。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施形態の半導体集積回路を示すブロック図である。

【図2】第1の実施形態の半導体集積回路の動作を示す波形図である。

【図3】第1の実施形態の半導体集積回路の動作を示す別の波形図である。

【図4】本発明の第2の実施形態の半導体集積回路を示すブロック図である。

【図5】図4に示した不揮発性ラッチ回路の容量の等価回路図である。

【図6】第2の実施形態の半導体集積回路の動作を示す波形図である。

【図7】第2の実施形態の半導体集積回路の動作を示す別の波形図である。

【図8】本発明の第3の実施形態の半導体集積回路を示すブロック図である。

【図9】本発明の第4の実施形態の半導体集積回路を示すブロック図である。

10

20

30

40

【図10】本発明の第5の実施形態の半導体集積回路を示すブロック図である。

【図11】本発明の第6の実施形態の半導体集積回路を示すブロック図である。

【図12】本発明の第7の実施形態の半導体集積回路を示すブロック図である。

【図13】本発明の第8の実施形態の半導体集積回路を示すブロック図である。

【図14】本発明の第9の実施形態の半導体メモリを示すブロック図である。

【図15】本発明の第10の実施形態の半導体メモリを示すブロック図である。

【図16】図15のメモリセルの詳細を示す回路図である。

【図17】本発明の第11の実施形態の半導体メモリを示すブロック図である。

【図18】本発明の第12の実施形態のメモリセルを示す回路図である。

#### 【符号の説明】

10 第1プレート電圧発生回路

12 スイッチ制御回路

14 不揮発性ラッチ回路

14a、14b CMOSインバータ

14c ラッチ回路

14d、14e スイッチ回路

14f、14g 強誘電体キャパシタ

14h、14i CMOSスイッチ

16a、16b 強誘電体キャパシタ

18 第2プレート電圧生成回路

20 挥発性ラッチ回路

20a ラッチ回路

20b、20c CMOSスイッチ

22a、22b 転送スイッチ

ALY メモリセルアレイ

BL、BLX ビット線

CK、CKX クロック信号

ENX、EN スイッチ制御信号

I/O データ入出力回路

MC メモリセル

NDD、NSS 電源供給線

PL1 第1プレート電圧

PL2 第2プレート電圧

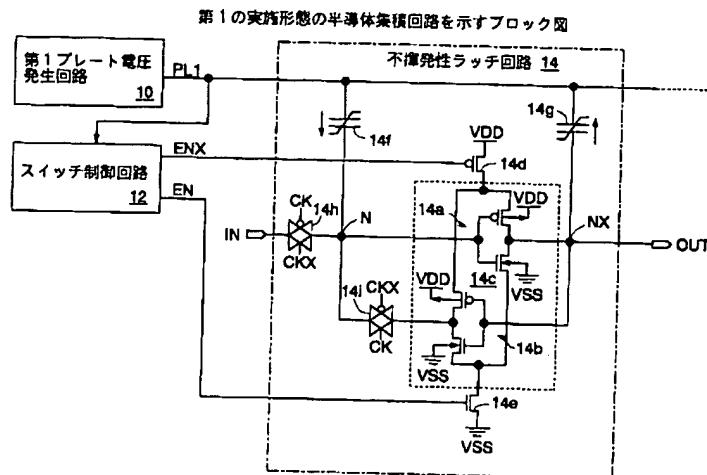
VDD 電源電圧、電源線

VSS 接地電圧、接地線

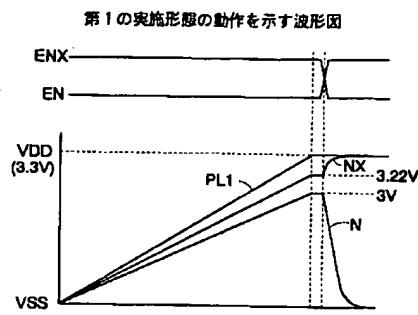
WL ワード線

WLD ワードデコーダ

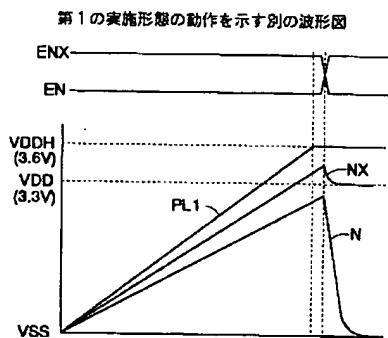
【図1】



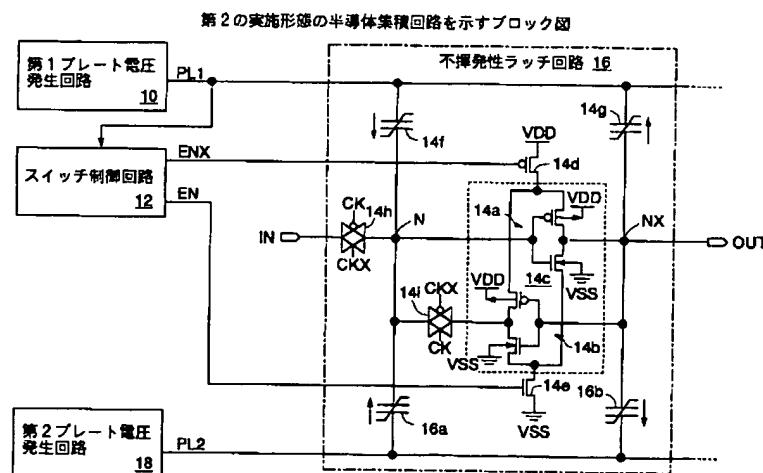
【図2】



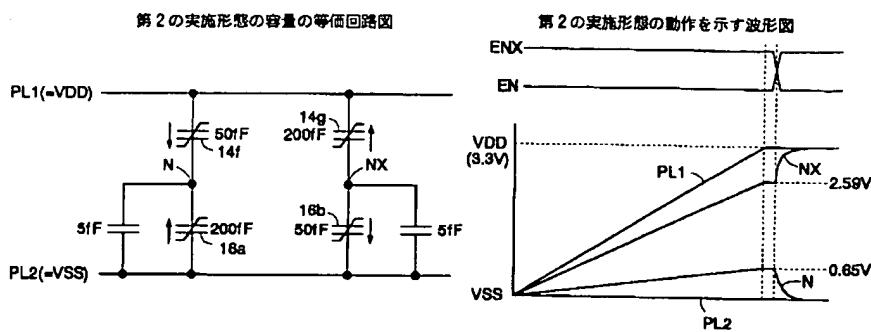
【図3】



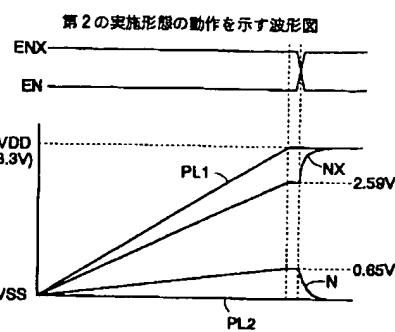
【図4】



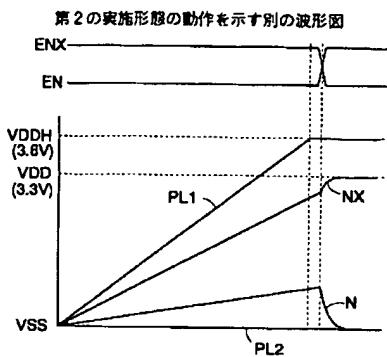
【図5】



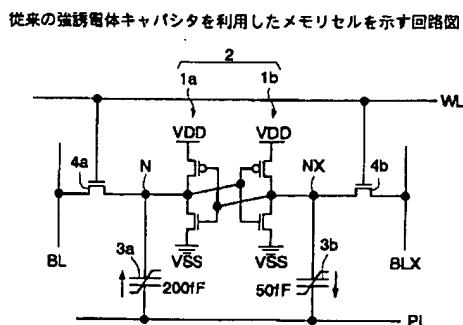
【図6】



【図7】

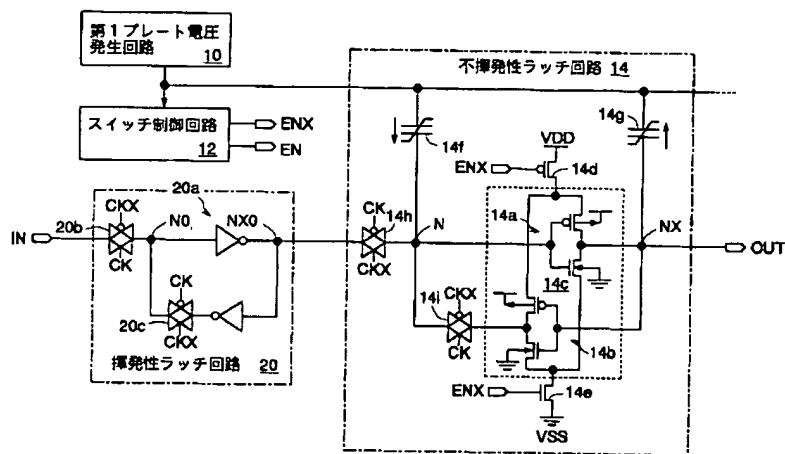


【図19】

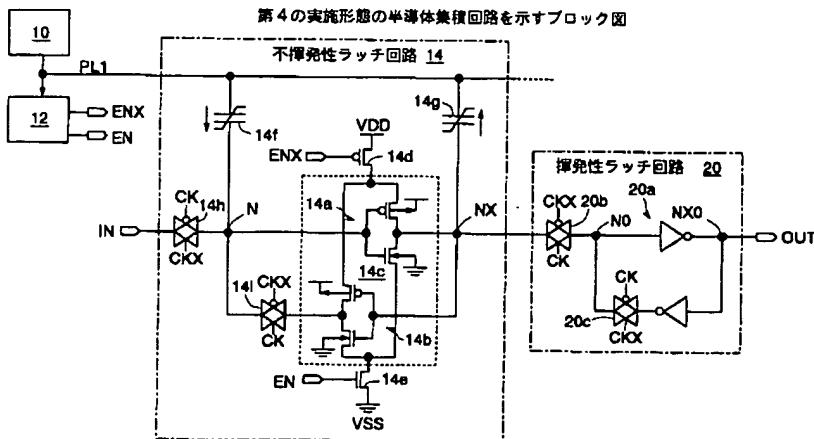


【図8】

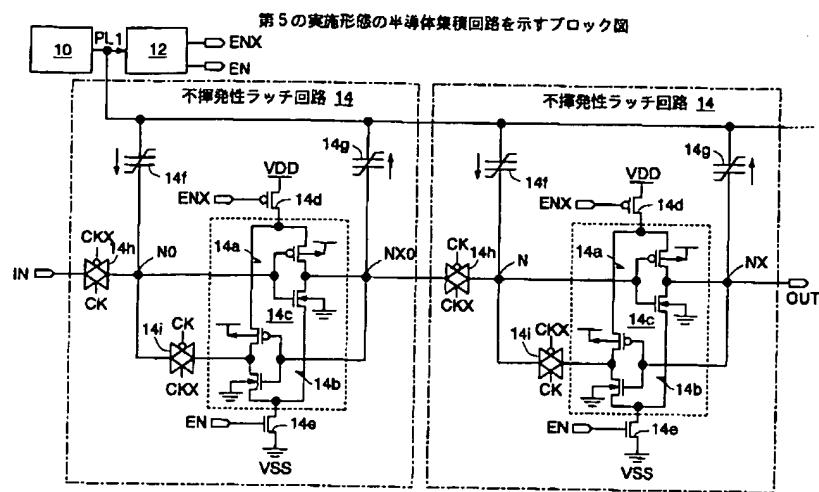
第3の実施形態の半導体集積回路を示すブロック図



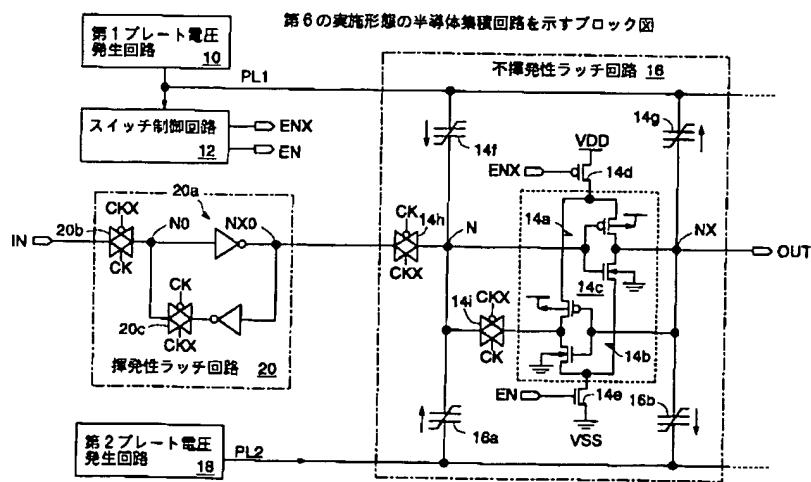
【図9】



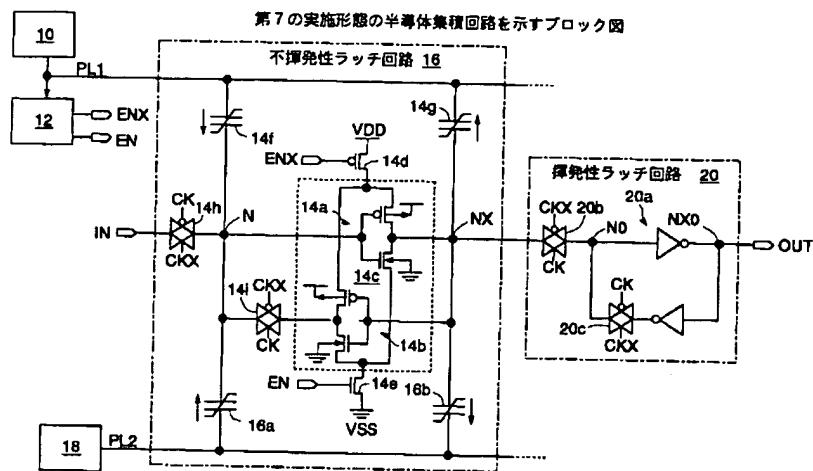
【図10】



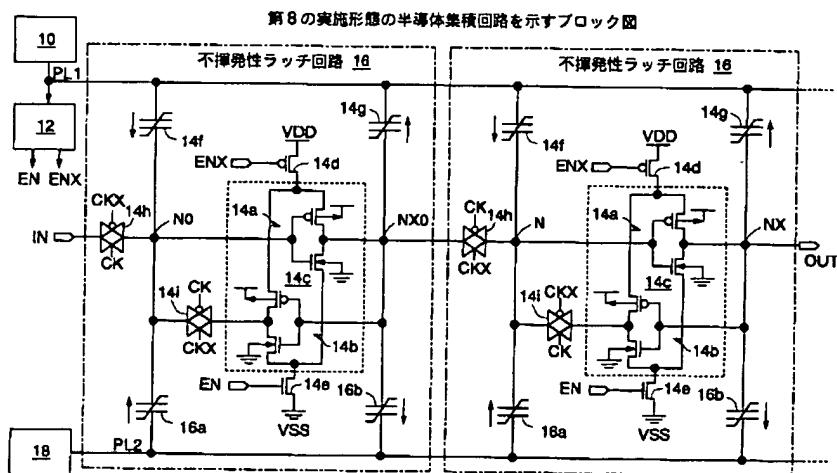
【図11】



【図12】

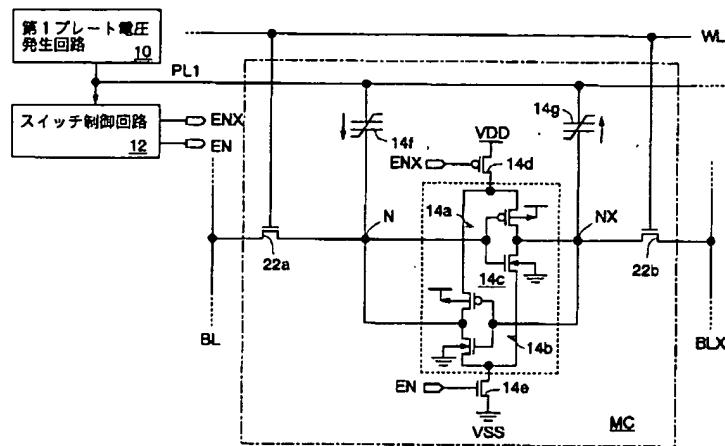


【図13】



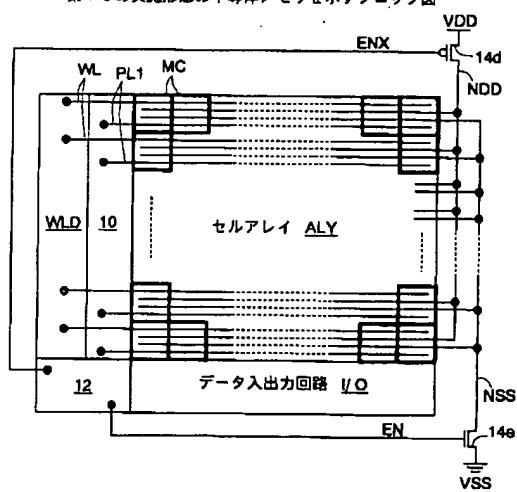
【図14】

第9の実施形態の半導体メモリを示すブロック図



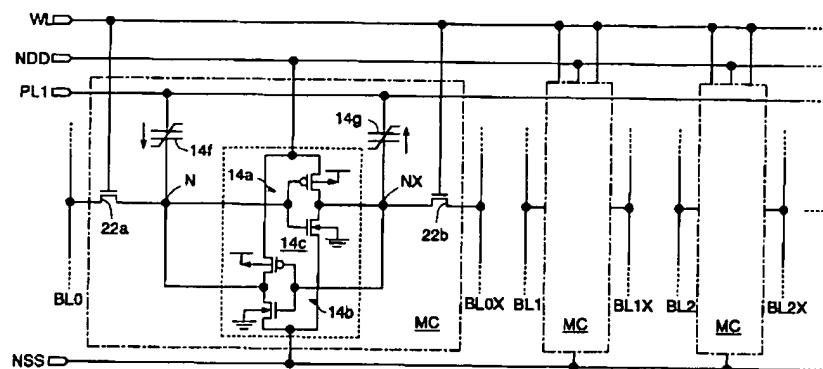
【図15】

第10の実施形態の半導体メモリを示すブロック図



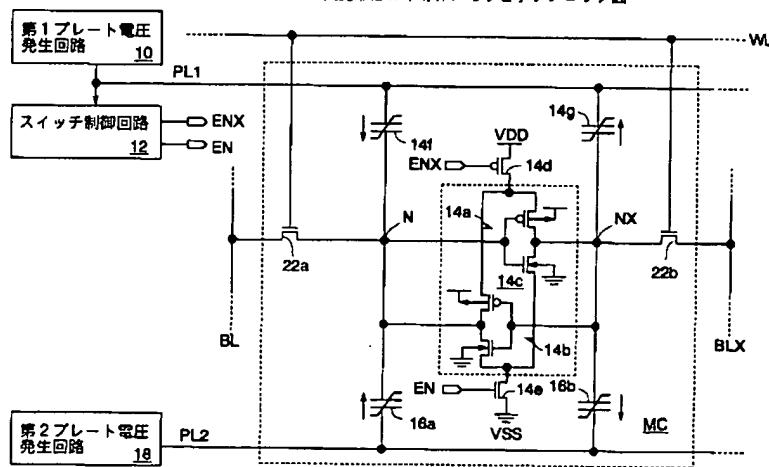
【図16】

第10の実施形態のメモリセルの詳細を示す回路図



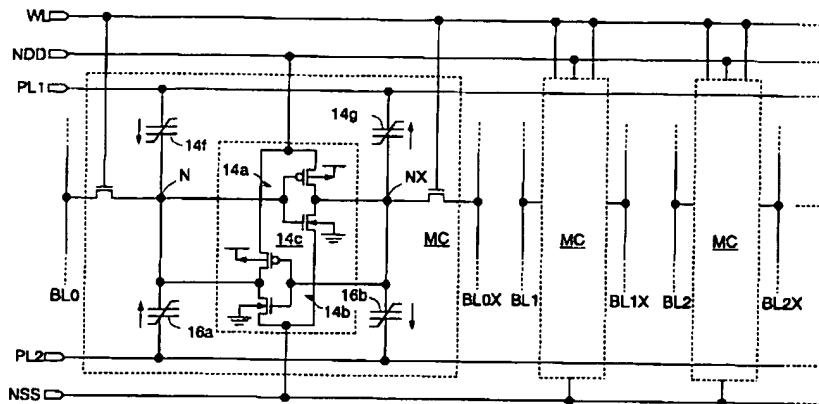
【図17】

第11の実施形態の半導体メモリを示すブロック図



【図18】

第12の実施形態の半導体メモリの要部を示す回路図



## 【手続補正書】

【提出日】平成14年1月18日(2002.1.18)

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】図面の簡単な説明

【補正方法】変更

## 【補正内容】

## 【図面の簡単な説明】

【図1】本発明の第1の実施形態の半導体集積回路を示すブロック図である。

【図2】第1の実施形態の半導体集積回路の動作を示す波形図である。

【図3】第1の実施形態の半導体集積回路の動作を示す別の波形図である。

【図4】本発明の第2の実施形態の半導体集積回路を示すブロック図である。

【図5】図4に示した不揮発性ラッチ回路の容量の等価回路図である。

【図6】第2の実施形態の半導体集積回路の動作を示す波形図である。

【図7】第2の実施形態の半導体集積回路の動作を示す別の波形図である。

【図8】本発明の第3の実施形態の半導体集積回路を示すブロック図である。

【図9】本発明の第4の実施形態の半導体集積回路を示すブロック図である。

【図10】本発明の第5の実施形態の半導体集積回路を示すブロック図である。

【図11】本発明の第6の実施形態の半導体集積回路を

示すブロック図である。

【図12】本発明の第7の実施形態の半導体集積回路を示すブロック図である。

【図13】本発明の第8の実施形態の半導体集積回路を示すブロック図である。

【図14】本発明の第9の実施形態の半導体メモリを示すブロック図である。

【図15】本発明の第10の実施形態の半導体メモリを示すブロック図である。

【図16】図15のメモリセルの詳細を示す回路図である。

【図17】本発明の第11の実施形態の半導体メモリを示すブロック図である。

【図18】本発明の第12の実施形態のメモリセルを示す回路図である。

【図19】従来の強誘電体キャパシタを利用したメモリセルを示す回路図である。

## 【符号の説明】

10 第1プレート電圧発生回路

12 スイッチ制御回路

14 不揮発性ラッチ回路

14a、14b CMOSインバータ

14c ラッチ回路

14d、14e スイッチ回路

14f、14g 強誘電体キャパシタ

14h、14i CMOSスイッチ

16a、16b 強誘電体キャパシタ

18 第2プレート電圧生成回路

20 挥発性ラッチ回路

20a ラッチ回路	NDD、NSS 電源供給線
20b、20c CMOSスイッチ	PL1 第1プレート電圧
22a、22b 転送スイッチ	PL2 第2プレート電圧
ALY メモリセルアレイ	VDD 電源電圧、電源線
BL、BLX ビット線	VSS 接地電圧、接地線
CK、CKX クロック信号	WL ワード線
ENX、EN スイッチ制御信号	WLD ワードデコーダ
I/O データ入出力回路	
MC メモリセル	

\* NOTICES \*

JPO and NCIP are not responsible for any  
damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the semiconductor integrated circuit and semiconductor memory which have the latch circuit which used the ferroelectric capacitor.

[0002]

[Description of the Prior Art] Generally, since the latch circuit formed in a semiconductor integrated circuit is volatility, the data currently held are lost after a power source is intercepted. A latch circuit is formed by using the ferroelectric film as a variable-capacity capacitor in recent years, and the non-volatile SRAM (Nonvolatile Static Random Access Memory) which applied this latch circuit to the memory cell is proposed (T. Miwa et al.in Proc.of CICC, May 2000, pp 100-200). Drawing 19 shows the memory cell of this kind of semiconductor memory.

[0003] The memory cell has the latch circuit 3 which consisted of two CMOS inverters 1a and 1b which connected the input and the output mutually, the ferroelectric capacitors 3a and 3b connected to the input nodes N and NX of CMOS inverters 1a and 1b, respectively, and the transfer transistors 4a and 4b which connect the input nodes N and NX to bit lines BL and BLX, respectively. The gate of the transfer transistors 4a and 4b is connected to the word line WL.

[0004] In this memory cell, as for the data written in the latch circuit 2, after cutoff of a power source is held as a remanence of the ferroelectric capacitors 3a and 3b. At the time of the charge of a power source, input voltage of CMOS inverters 1a and 1b is made imbalance by the capacity difference of the nodes N and NX corresponding to a remanence. That is, the data currently held before cutoff of a power source are again written in a latch circuit 2 using the remanence of the ferroelectric capacitors 3a and 3b. This actuation is called recall actuation.

[0005] Hereafter, the detail at the time of the charge of a power source is explained. First, plate voltage PL of the ferroelectric capacitors 3a and 3b is fixed to the touch-down electrical potential difference VSS (0V), and supply voltage VDD and the touch-down electrical potential difference VSS are supplied to CMOS inverters 1a and 1b which constitute a latch circuit 2. The ferroelectric capacitors 3a and 3b differ in capacity value corresponding to the polarization condition. Ferroelectric capacitor 3a with large capacity value requires time amount for lifting of an electrical potential difference compared with ferroelectric capacitor 3b with small capacity value. For this reason, a very small electrical-potential-difference difference arises among Nodes N and NX. The voltage of

this electrical-potential-difference difference is amplified in a differential amplifier operation of a latch circuit 2 with supply of a power source. And Nodes N and NX are eventually fixed to supply voltage VDD or the touch-down electrical potential difference VSS. That is, the data before cutoff of a power source are reproduced.

[0006]

[Problem(s) to be Solved by the Invention] If supply voltage VDD rises at the time of the charge of a power source, the nodes N and NX of a latch circuit 2 will be charged from the power-source line VDD through the pMOS transistor of CMOS inverters 1a and 1b, respectively. On the other hand, the charge of Nodes N and NX discharges to a grounding conductor VSS through the nMOS transistor of CMOS inverters 1a and 1b, respectively. When supply voltage VDD is low, the electrical potential difference of Nodes N and NX is decided by the leakage current of a pMOS transistor and a nMOS transistor, and capacity of Nodes N and NX. For example, the threshold voltage of the pMOS transistor of CMOS inverters 1a and 1b presupposes that  $\Delta V_{th}=80mV$  varies. At this time, the single figure leakage current of both the pMOS(s) transistor is different ( $S$  factor =  $80mV$  is assumed). If [ the threshold voltage of the nMOS transistor of CMOS inverters 1a and 1b ] the same, the charging current of Nodes N and NX will become a value corresponding to the leakage current of a pMOS transistor, respectively.

[0007] The current of the net which charges the capacity (the ferroelectric capacitors 3a and 3b connected to Nodes N and NX, respectively are included) of Nodes N and NX is set to  $I_n=1nA$  and  $I_{nx}=0.1nA$ , respectively. Here, a net current is the difference of the leakage current of a pMOS transistor, and the leakage current of a nMOS transistor in each CMOS inverters 1a and 1b. Moreover, capacity (the ferroelectric capacitors 3a and 3b are included) of Nodes N and NX is set to  $C_n=200fF$  and  $C_{nx}=50fF$ , respectively.

[0008] At this time, the electrical potential differences  $V_n$  and  $V_{nx}$  of the nodes N and NX 0.5ms after the charge of a power source are expressed with a degree type (1) and (2).

$$V_n=Q_n/C_n=(I_{nx}0.5E-3)/C_n=0.25 [V] \dots\dots (1)$$

$$V_{nx}=Q_{nx}/C_{nx}=(I_nxx0.5E-3)/C_{nx}=0.1 [V] \dots\dots (2)$$

Actually, since a latch circuit 2 has a magnification function, the difference of electrical potential differences  $V_n$  and  $V_{nx}$  becomes still larger. In the above-mentioned example, by lifting of supply voltage, eventually, Node N becomes supply voltage VDD (logic "H"), and Node NX becomes the touch-down electrical potential difference VSS (logic "L").

[0009] However, essentially, since the node N with large parasitic capacitance has the long charging time, it should become logic "L." Since the node NX with small parasitic capacitance has the short charging time, it should become logic "H". That is, mistaken data will be reproduced in the memory cell shown in drawing 19 by dispersion in the threshold voltage of a pMOS transistor. In addition, the mistaken recall actuation is generated also by dispersion in the threshold voltage of a nMOS transistor. This kind of malfunction generates not only a memory cell but the latch circuit using the remanence of a ferroelectric capacitor.

[0010] The object of this invention is to ensure recall actuation of the memory cell and latch circuit using the remanence of a ferroelectric capacitor.

[0011]

[Means for Solving the Problem] In the semiconductor integrated circuit of claim 1 and

claim 4, and the semiconductor memory of claim 7, the input and output of two buffer circuits are connected mutually, and the latch circuit is formed. The end of the ferroelectric capacitor of a couple is connected to the input of a buffer circuit, respectively. The other end of a ferroelectric capacitor is connected to the 1st plate line. The data currently held before cutoff of a power source at the latch circuit are held as a remanence of a ferroelectric capacitor. The latch circuit and ferroelectric capacitor of this invention are applied to at least one side in the store circuit which carried out cascade connection of for example, a master latch circuit and the slave latch circuit, or the memory cell of semiconductor memory.

[0012] The 1st plate voltage generating circuit generates the 1st plate voltage supplied to the 1st plate line. The electrical potential difference of the other end of a ferroelectric capacitor rises with lifting of the 1st plate voltage after the charge of a power source. The electrical potential difference of the end of a ferroelectric capacitor rises according to the capacity coupling effectiveness of a ferroelectric capacitor according to the capacity value corresponding to polarization of a ferroelectric capacitor. That is, before a power source is supplied to two buffer circuits, the electrical potential difference of the input of buffer circuits, such as this, is mutually different.

[0013] After the charge of a power source, a switch control circuit activates a switch control signal, when the 1st plate voltage rises to a predetermined electrical potential difference. A switching circuit answers activation of a switch control signal, is turned on, and connects the power supply terminal of a buffer circuit to a power-source line. Since the input voltage of a buffer circuit is different at this time, according to both input voltage, logical data is written in a latch circuit. Consequently, the data currently held before cutoff of a power source at the latch circuit are reproduced. That is, normal recall actuation is performed.

[0014] In the semiconductor integrated circuit of claim 2 and claim 5, and the semiconductor memory of claim 8, the input and output of two buffer circuits are connected mutually, and the latch circuit is formed. The 1st ferroelectric capacitor of a couple is connected to the serial between the 1st plate line and the 2nd plate line. The intermediate node which connects the two 1st ferroelectric capacitors is connected to one input of a buffer circuit. The 2nd ferroelectric capacitor of a couple is connected to the serial between the 1st plate line and the 2nd plate line. The intermediate node which connects the two 2nd ferroelectric capacitors is connected to the input of another side of a buffer circuit. The data currently held before cutoff of a power source at the latch circuit are held as a remanence of a ferroelectric capacitor. The latch circuit and ferroelectric capacitor of this invention are applied to at least one side in the store circuit which carried out cascade connection of for example, a master latch circuit and the slave latch circuit, or the memory cell of semiconductor memory.

[0015] The 1st plate voltage generating circuit generates the 1st plate voltage supplied to the 1st plate line. The 2nd plate voltage generating circuit generates the 2nd plate voltage supplied to a predetermined period and the 2nd plate line from the charge of a power source. This period and the 2nd plate voltage are lower than the 1st plate voltage, for example, are being fixed to the touch-down electrical potential difference. The electrical potential difference of the intermediate node of the 1st ferroelectric capacitor and the electrical potential difference of the intermediate node of the 2nd ferroelectric capacitor rise with lifting of the 1st plate voltage after the charge of a power source according to

the capacitive component rate of ferroelectric capacitors, such as this. That is, before a power source is supplied to two buffer circuits, the electrical potential difference of the input of buffer circuits, such as this, is mutually different.

[0016] After the charge of a power source, a switch control circuit activates a switch control signal, when the 1st plate voltage rises to a predetermined electrical potential difference. A switching circuit answers activation of a switch control signal, is turned on, and connects the power supply terminal of a buffer circuit to a power-source line. Since the input voltage of a buffer circuit is different at this time, according to both input voltage, logical data is written in a latch circuit. Consequently, the data currently held before cutoff of a power source at the latch circuit are reproduced. That is, normal recall actuation is performed.

[0017] Each buffer circuit is constituted from the semiconductor integrated circuit of claim 3 and claim 6, and the semiconductor memory of claim 9 by the CMOS inverter which consists of a pMOS transistor and a nMOS transistor. The source of a pMOS transistor is connected to a power-source line through a switching circuit, and the substrate of a pMOS transistor is connected to the power-source line. The source of a nMOS transistor is connected to a grounding conductor through a switching circuit, and the substrate of a nMOS transistor is connected to the grounding conductor. For this reason, it is prevented that a substrate becomes floating at the time of the charge of a power source, and malfunction (latch rise etc.) of a transistor is prevented.

[0018] In the semiconductor memory of claim 10, the switching circuit is formed common to two or more memory cells. Since the total of a switching circuit becomes fewer, it becomes small about the chip size of semiconductor memory.

[0019]

[Embodiment of the Invention] Hereafter, the operation gestalt of this invention is explained using a drawing. Drawing 1 shows the 1st operation gestalt of this invention. This operation gestalt supports claim 1 and claim 3. This semiconductor integrated circuit is formed on the silicon substrate using the CMOS process. The semiconductor integrated circuit has the 1st plate voltage generating circuit 10, the switch control circuit 12, and the non-volatile latch circuit 14. The 1st plate voltage generating circuit 10 generates 1st plate voltage PL1 according to supply voltage VDD. The switch control circuit 12 generates the switch control signals ENX and EN of the complementation according to 1st plate voltage PL1. The signal with which "X" is attached to a tail expresses negative logic.

[0020] The non-volatile latch circuit 14 has latch circuit 14c which has two CMOS inverters (buffer circuit) 14a and 14b which connected the input and the output mutually, 14d of switching circuits which consist of a pMOS transistor, switching circuit which consists of nMOS transistor 14e, the ferroelectric capacitors 14f and 14g, and the CMOS switches 14h and 14i. The substrate of the pMOS transistor which constitutes CMOS inverters 14a and 14b, and a nMOS transistor is connected to the power-source line VDD and the grounding conductor VSS, respectively.

[0021] 14d of switching circuits connects the source (power supply terminal) of the pMOS transistor of CMOS inverters 14a and 14b to the power-source line VDD. Switching circuit 14e connects the source (power supply terminal) of the nMOS transistor of CMOS inverters 14a and 14b to a grounding conductor VSS. Ferroelectric capacitor 14f, an end is connected to the input node N of CMOS inverter 14a, and the other end is

connected to the plate line PL 1. Ferroelectric capacitor 14g, an end is connected to the input node NX of CMOS inverter 14b, and the other end is connected to the plate line PL 1. The sense of the arrow head added to the ferroelectric capacitors 14f and 14g shows the polarization condition. The electrode by the side of the head of an arrow head is just charged.

[0022] CMOS switch 14h, the input IN of the non-volatile latch circuit 14 is connected to the input node N of CMOS inverter 14a. CMOS switch 14h is turned on when clock signal CK is a low (the = clock signal CKX is a high level). CMOS switch 14i connects the output of CMOS inverter 14b to the input of CMOS inverter 14a. CMOS switch 14i is turned on when clock signal CK is a high level (the = clock signal CKX is a low).

[0023] Drawing 2 shows actuation of the semiconductor integrated circuit of the 1st operation gestalt. In this example, the non-volatile latch circuit 14 shown in drawing 1 has held logic "H" beforehand. At this time, CMOS inverter 14a outputs a high level, and CMOS inverter 14b is outputting the low. And before cutoff of a power source, the low of Node N and the high level of Node NX are written in as a ferroelectric capacitors [ 14f and 14g ] remanence, respectively because 1st plate voltage PL1 changes to a low, a high level, and a low. Consequently, as the ferroelectric capacitors 14f and 14g were shown in drawing 1, a polarization condition (sense of an arrow head) is opposing mutually. In this example, average capacity corresponding to a ferroelectric capacitors [ 14f and 14g ] polarization condition is set to 50fF(s) and 200fF, respectively, and parasitic capacitance of Nodes N and NX is set to both 5fF(s).

[0024] Clock signals CK and CKX are being fixed to a high level and the low, respectively at the time of the charge of a power source. That is, CMOS inverters 14a and 14b of latch circuit 14c form the feedback loop. The 1st plate voltage generating circuit 10 follows supply voltage VDD, and generates 1st plate voltage PL1. 1st plate voltage PL1 goes up to the predetermined supply voltage VDD (for example, 3.3V). The switch control circuit 12 outputs the period and the switch control signal ENX of a high level with which 1st plate voltage PL1 is going up, and the switch control signal EN of a low. With the switch control signal ENX of a high level, and the switch control signal EN of a low, switching circuits 14d and 14e are turned off. For this reason, supply voltage VDD and the touch-down electrical potential difference VSS are not supplied to latch circuit 14c, but CMOS inverters 14a and 14b of latch circuit 14c are deactivated. Therefore, Nodes N and NX become floating.

[0025] Supply voltage VDD and the touch-down electrical potential difference VSS are directly supplied to the substrate of the pMOS transistor of CMOS inverters 14a and 14b, and a nMOS transistor, respectively. For this reason, it is prevented that a latch rise occurs at the period which switching circuits 14d and 14e turn off. The electrical potential difference of Nodes N and NX rises with lifting of 1st plate voltage PL1 according to the ferroelectric capacitors [ 14f and 14g ] capacity coupling effectiveness. When 1st plate voltage PL1 goes up to supply voltage VDD (3.3V), the electrical potential difference of Node N is set to 3V ( $3.3V \times 50fF / (5fF + 50fF)$ ), and the electrical potential difference of Node NX is set to 3.22V ( $3.3V \times 200fF / (5fF + 200fF)$ ).

[0026] The switch control circuit 12 changes the switch control signals EN and ENX to a high level and a low, respectively, after 1st plate voltage PL1 goes up to supply voltage VDD. Supply voltage VDD and the touch-down electrical potential difference VSS are supplied to CMOS inverters 14a and 14b of latch circuit 14c by this change, and CMOS

inverters 14a and 14b are activated. The input nodes N and NX of CMOS inverters 14a and 14b have the 220mV electrical-potential-difference difference (offset voltage), as mentioned above. Latch circuit 14c amplifies this electrical-potential-difference difference. Eventually, the electrical potential difference of Node N turns into the touch-down electrical potential difference VSS (logic "L"), and the electrical potential difference of NX turns into supply voltage VDD (logic "H"). Consequently, the data according to a ferroelectric capacitors [ 14f and 14g ] remanence are read into latch circuit 14c. That is, the data currently held before cutoff of a power source at latch circuit 14c are reproduced by recall actuation.

[0027] Drawing 3 shows another actuation of the semiconductor integrated circuit of the 1st operation gestalt. In this example, the 1st plate voltage generating circuit 10 generates 1st plate voltage PL1 ( $VDDH=3.6V$ ) higher than supply voltage VDD (3.3V). For this reason, the offset voltage of the input nodes N and NX of Saki whom CMOS inverters 14a and 14b activate becomes larger than the case of drawing 2. If 1st plate voltage PL1 is set up highly 10%, offset voltage will also increase 10%. For this reason, recall actuation can be ensured.

[0028] In addition, when two or more non-volatile latch circuits 14 are formed in a semiconductor integrated circuit, the chip size of a semiconductor integrated circuit can be made small by forming the switching circuits 14d and 14e common to the non-volatile latch circuits 14, such as this. As mentioned above, with this operation gestalt, after giving a mutually different electrical potential difference to the input of two CMOS inverters 14a and 14b which constitute latch circuit 14c using the ferroelectric capacitors [ 14f and 14g ] capacity coupling effectiveness, supply voltage VDD and the touch-down electrical potential difference VSS were supplied to CMOS inverters 14a and 14b. For this reason, the data currently held before cutoff of a power source at latch circuit 14c are certainly reproducible. That is, recall actuation can be performed certainly.

[0029] The pMOS transistor and nMOS transistor substrate of CMOS inverters 14a and 14b were connected to the power-source line VDD and the grounding conductor VSS, respectively. For this reason, it is prevented that a substrate becomes floating at the time of the charge of a power source, and it can prevent malfunction (latch rise etc.) of a transistor. Drawing 4 shows the 2nd operation gestalt of this invention. This operation gestalt supports claim 2 and claim 3. About the same circuit and signal as the circuit and signal explained with the 1st operation gestalt, the same sign is attached and detailed explanation is omitted [ this ].

[0030] With this operation gestalt, the ferroelectric capacitors 16a and 16b are added to the non-volatile latch circuit 14 of the 1st operation gestalt, and the non-volatile latch circuit 16 is formed. Moreover, the 2nd plate voltage generation circuit 18 which generates 2nd plate voltage PL2 is formed. Other configurations are the same as that of the 1st operation gestalt. That is, the non-volatile latch circuit 16 has latch circuit 14c which consisted of CMOS inverters 14a and 14b, switching circuits 14d and 14e, the ferroelectric capacitors 14f and 14g, and the CMOS switches 14h and 14i. The substrate of the pMOS transistor which constitutes CMOS inverters 14a and 14b, and a nMOS transistor is connected to the power-source line VDD and the grounding conductor VSS, respectively.

[0031] An end is connected to the input node N of CMOS inverter 14a, and, as for ferroelectric capacitor 16a, the other end is connected to the 2nd plate line PL 2. An end

is connected to the input node NX of CMOS inverter 14b, and, as for ferroelectric capacitor 16b, the other end is connected to the 2nd plate line PL 2. Drawing 5 shows the equal circuit of the capacity of the non-volatile latch circuit 16 shown in drawing 4. In this example, the non-volatile latch circuit 16 has held logic "H" beforehand. At this time, CMOS inverter 14a outputs a high level, and CMOS inverter 14b is outputting the low. Before cutoff of a power source, the 1st plate voltage generating circuit 10 changes 1st plate voltage PL1 to a low, a high level, and a low. The 2nd plate voltage generating circuit 18 changes 2nd plate voltage PL2 to a low, a high level, and a low. And the low of Node N and the high level of Node NX are written in as a remanence of the ferroelectric capacitors 14f, 14g, 16a, and 16b, respectively.

[0032] In this example, average capacity corresponding to the polarization condition of the ferroelectric capacitors 14f, 14g, 16a, and 16b is set to 50fF(s), 200fF, 200fF, and 50fF, respectively. Parasitic capacitance of the nodes N and NX when grounding 2nd plate voltage PL2 is set to 5fF(s) like the 1st operation gestalt. Drawing 6 shows actuation of the semiconductor integrated circuit of the 2nd operation gestalt. Clock signals CK and CKX are being fixed to a high level and the low, respectively at the time of the charge of a power source. That is, CMOS inverters 14a and 14b of latch circuit 14c form the feedback loop.

[0033] The 1st plate voltage generating circuit 10 follows supply voltage, and generates 1st plate voltage PL1. 1st plate voltage PL1 goes up to the predetermined supply voltage VDD (for example, 3.3V). The 2nd plate voltage generating circuit 18 outputs the touch-down electrical potential difference VSS as 2nd plate voltage PL2. That is, the 2nd plate voltage generating circuit 18 outputs a period until 1st plate voltage PL1 reaches supply voltage VDD at least from the charge of a power source, and the touch-down electrical potential difference VSS as 2nd plate voltage PL2.

[0034] The switch control circuit 12 outputs the period and the switch control signal ENX of a high level with which 1st plate voltage PL1 is going up, and the switch control signal EN of a low. By the switch control signal ENX of a high level, and the switch control signal EN of a low, switching circuits 14d and 14e are turned off, and CMOS inverters 14a and 14b are deactivated. Therefore, Nodes N and NX become floating.

[0035] Supply voltage VDD and the touch-down electrical potential difference VSS are directly supplied to the substrate of the pMOS transistor of CMOS inverters 14a and 14b, and a nMOS transistor, respectively. For this reason, it is prevented that a latch rise occurs at the period which switching circuits 14d and 14e turn off. The electrical potential difference of Node N rises with lifting of 1st plate voltage PL1 according to the capacitive component rate of the ferroelectric capacitors 14f and 16a (the 1st ferroelectric capacitor of a couple). The electrical potential difference of Node NX rises with lifting of 1st plate voltage PL1 according to the capacitive component rate of the ferroelectric capacitors 14g and 16b (the 2nd ferroelectric capacitor of a couple). When 1st plate voltage PL1 goes up to supply voltage VDD (3.3V), the electrical potential difference of Node N is set to 0.65V ( $3.3V \times 50fF / (5fF + 50fF + 200fF)$ ), and the electrical potential difference of Node NX is set to 2.59V ( $3.3V \times 200fF / (5fF + 50fF + 200fF)$ ). That is, the electrical-potential-difference difference (offset voltage) of Nodes N and NX becomes large substantially with 1.84V by connecting the ferroelectric capacitors 14f and 16a and the ferroelectric capacitors 14g and 16b to a serial, respectively, and connecting the intermediate node to Nodes N and NX, respectively.

[0036] Then, like the 1st operation gestalt, the switch control signals EN and ENX are changed to a high level and a low, respectively, and CMOS inverters 14a and 14b are activated. Latch circuit 14c amplifies the electrical-potential-difference difference of 1.84V, the electrical potential difference of Node N turns into the touch-down electrical potential difference VSS, and the electrical potential difference of NX turns into supply voltage VDD. Consequently, the data according to the remanence of the ferroelectric capacitors 14f, 14g, 16a, and 16b are read into latch circuit 14c. That is, the data currently held before cutoff of a power source at latch circuit 14c are reproduced by recall actuation.

[0037] Drawing 7 shows another actuation of the semiconductor integrated circuit mentioned above. In this example, the 1st plate voltage generating circuit 10 generates 1st plate voltage PL1 ( $VDDH=3.6V$ ) higher than supply voltage VDD (3.3V). For this reason, offset voltage of the input nodes N and NX of Saki whom CMOS inverters 14a and 14b activate is made more greatly than drawing 6, and can ensure recall actuation.

[0038] In addition, when two or more non-volatile latch circuits 16 are formed in a semiconductor integrated circuit, the chip size of a semiconductor integrated circuit can be made small by forming the switching circuits 14d and 14e common to the non-volatile latch circuits 16, such as this. Also in this operation gestalt, the same effectiveness as the 1st operation gestalt mentioned above can be acquired. Furthermore, with this operation gestalt, the ferroelectric capacitors 14f and 16a (the 1st ferroelectric capacitor of a couple) and the ferroelectric capacitors 14g and 16b (the 2nd ferroelectric capacitor of a couple) which were connected to the serial were connected to the serial, respectively, and that intermediate node was connected to the input of CMOS inverters 14a and 14b, respectively. For this reason, offset voltage of Nodes N and NX can be enlarged by the capacitive component rate, and the data currently held before cutoff of a power source at latch circuit 14c can be reproduced still more certainly.

[0039] Drawing 8 shows the 3rd operation gestalt of this invention. This operation gestalt supports claim 4 and claim 6. About the same circuit and signal as the circuit and signal explained with the 1st operation gestalt, the same sign is attached and detailed explanation is omitted [ this ]. With this operation gestalt, the semiconductor integrated circuit has the 1st plate voltage generating circuit 10, the switch control circuit 12, and the D-flip-flop circuit where cascade connection of the volatile latch circuit 20 and the non-volatile latch circuit 14 was carried out. The volatile latch circuit 20 has latch circuit 20a, CMOS switch 20b, and CMOS switch 20c.

[0040] Latch circuit 20a connects the input and output of two CMOS inverters mutually, and is formed. CMOS switch 20b transmits an input signal IN to latch circuit 20a. CMOS switch 20c connects the feedback loop of latch circuit 20b. The volatile latch circuit 20 operates as a master latch circuit, and the non-volatile latch circuit 14 operates as a slave latch circuit. That is, the data of the slave latch circuit before cutoff of a power source become effective after the charge of a power source.

[0041] Also in this operation gestalt, the same effectiveness as the 1st operation gestalt mentioned above can be acquired. Drawing 9 shows the 4th operation gestalt of this invention. This operation gestalt supports claim 4 and claim 6. About the same circuit and signal as the circuit and signal explained with the 1st and 3rd operation gestalten, the same sign is attached and detailed explanation is omitted [ this ].

[0042] With this operation gestalt, the semiconductor integrated circuit has the 1st plate

voltage generating circuit 10, the switch control circuit 12, and the D-flip-flop circuit where cascade connection of the non-volatile latch circuit 14 and the volatile latch circuit 20 was carried out. The non-volatile latch circuit 14 operates as a master latch circuit, and the volatile latch circuit 20 operates as a slave latch circuit. That is, the data of the master latch circuit before cutoff of a power source become effective after the charge of a power source. Also in this operation gestalt, the same effectiveness as the 1st operation gestalt mentioned above can be acquired.

[0043] Drawing 10 shows the 5th operation gestalt of this invention. This operation gestalt supports claim 4 and claim 6. About the same circuit and signal as the circuit and signal explained with the 1st and 3rd operation gestalten, the same sign is attached and detailed explanation is omitted [ this ]. With this operation gestalt, the semiconductor integrated circuit has the 1st plate voltage generating circuit 10, the switch control circuit 12, and the D-flip-flop circuit where cascade connection of the two non-volatile latch circuits 14 was carried out. That is, the data of the master latch circuit before cutoff of a power source and a slave latch circuit become effective after [ both ] the charge of a power source. Also in this operation gestalt, the same effectiveness as the 1st operation gestalt mentioned above can be acquired.

[0044] Drawing 11 shows the 6th operation gestalt of this invention. This operation gestalt supports claim 5 and claim 6. About the same circuit and signal as the circuit and signal explained with the 2nd and 3rd operation gestalten, the same sign is attached and detailed explanation is omitted [ this ]. With this operation gestalt, the semiconductor integrated circuit has the 1st plate voltage generating circuit 10, the switch control circuit 12, the 2nd plate voltage generating circuit 18, and the D-flip-flop circuit where cascade connection of the volatile latch circuit 20 and the non-volatile latch circuit 16 was carried out. The volatile latch circuit 20 operates as a master latch circuit, and the non-volatile latch circuit 16 operates as a slave latch circuit. That is, the data of the slave latch circuit before cutoff of a power source become effective after the charge of a power source.

[0045] The 2nd plate voltage generating circuit 18 outputs a period until 1st plate voltage PL1 reaches supply voltage VDD at least from the charge of a power source, and the touch-down electrical potential difference VSS as 2nd plate voltage PL2. Also in this operation gestalt, the same effectiveness as the 1st operation gestalt mentioned above can be acquired.

[0046] Drawing 12 shows the 7th operation gestalt of this invention. This operation gestalt supports claim 5 and claim 6. About the same circuit and signal as the circuit and signal explained with the 2nd and 6th operation gestalten, the same sign is attached and detailed explanation is omitted [ this ]. With this operation gestalt, the semiconductor integrated circuit has the 1st plate voltage generating circuit 10, the switch control circuit 12, the 2nd plate voltage generating circuit 18, and the D-flip-flop circuit where cascade connection of the non-volatile latch circuit 16 and the volatile latch circuit 20 was carried out. The non-volatile latch circuit 16 operates as a master latch circuit, and the volatile latch circuit 20 operates as a slave latch circuit. That is, the data of the master latch circuit before cutoff of a power source become effective after the charge of a power source. Also in this operation gestalt, the same effectiveness as the 1st and 2nd operation gestalten mentioned above can be acquired.

[0047] Drawing 13 shows the 8th operation gestalt of this invention. This operation gestalt supports claim 5 and claim 6. About the same circuit and signal as the circuit and

signal explained with the 2nd and 6th operation gestalten, the same sign is attached and detailed explanation is omitted [ this ]. With this operation gestalt, the semiconductor integrated circuit has the 1st plate voltage generating circuit 10, the switch control circuit 12, the 2nd plate voltage generating circuit 18, and the D-flip-flop circuit where cascade connection of the two non-volatile latch circuits 16 was carried out. That is, the data of the master latch circuit before cutoff of a power source and a slave latch circuit become effective after [ both ] the charge of a power source. Also in this operation gestalt, the same effectiveness as the 1st and 2nd operation gestalten mentioned above can be acquired.

[0048] Drawing 14 shows the 9th operation gestalt of this invention. This operation gestalt supports claim 7 and claim 9. About the same circuit and signal as the circuit and signal explained with the 1st operation gestalt, the same sign is attached and detailed explanation is omitted [ this ]. With this operation gestalt, this invention is applied to Non-volatile SRAM. Non-volatile SRAM has the 1st plate voltage generating circuit 10, the switch control circuit 12, and the memory cell array that has two or more memory cells MC. Although not illustrated especially, Non-volatile SRAM has circuits, such as the input circuit of an address signal and a control signal, the I/O circuit of data, a command decoder that decodes a control signal, a timing generation circuit, a WORD decoder, a column decoder, and a sense amplifier.

[0049] The memory cell MC has latch circuit 14c which has two CMOS inverters (inverting circuit) 14a and 14b which connected the input and the output mutually, 14d of switching circuits which consist of a pMOS transistor, switching circuit which consists of nMOS transistor 14e, the ferroelectric capacitors 14f and 14g, and the transfer switches 22a and 22b. The substrate of the pMOS transistor which constitutes CMOS inverters 14a and 14b, and a nMOS transistor is connected to the power-source line VDD and the grounding conductor VSS, respectively.

[0050] 14d of switching circuits connects the source (power supply terminal) of the pMOS transistor of CMOS inverters 14a and 14b to the power-source line VDD. Switching circuit 14e connects the source (power supply terminal) of the nMOS transistor of CMOS inverters 14a and 14b to a grounding conductor VSS. Ferroelectric capacitor 14f, an end is connected to the input node N of CMOS inverter 14a, and the other end is connected to the plate line PL 1. Ferroelectric capacitor 14g, an end is connected to the input node NX of CMOS inverter 14b, and the other end is connected to the plate line PL 1.

[0051] Transfer switch 22a connects Node N to a bit line BL. Transfer switch 22b connects Node NX to a bit line BLX. The transfer switches 22a and 22b are turned on when a word line WL is a high level. In the non-volatile SRAM mentioned above, at the time of write-in actuation, it writes in the bit lines BL and BLX of the complementation, data are supplied, and a word line WL is made into a high level. The write-in data of the complementation are written in latch circuit 14c through the transfer switches 22a and 22b. While supply voltage VDD is supplied to Non-volatile SRAM, the data written in latch circuit 14c are held.

[0052] Before cutoff of a power source, the high level (logic "H") of Node N and the low (logic "L") of Node NX are written in as a ferroelectric capacitors [ 14f and 14g ] remanence, respectively because 1st plate voltage PL1 changes to a low, a high level, and a low. And a power source is intercepted. In case a power source is switched on again, a

predetermined period and a word line WL are fixed to a low from the charge of a power source. That is, CMOS inverters 14a and 14b of latch circuit 14c form a feedback loop. Then, like the 1st operation gestalt, the 1st plate voltage generating circuit 10 follows supply voltage, and generates 1st plate voltage PL1. The electrical potential difference of Nodes N and NX rises with lifting of 1st plate voltage PL1 according to the ferroelectric capacitors [ 14f and 14g ] capacity coupling effectiveness.

[0053] The switch control circuit 12 changes the switch control signals EN and ENX to a high level and a low, respectively, after 1st plate voltage PL1 goes up to supply voltage VDD. By this change, CMOS inverters 14a and 14b are activated. Latch circuit 14c amplifies the electrical-potential-difference difference of Nodes N and NX, and reproduces the data currently held before cutoff of a power source at the memory cell MC.

[0054] Also in this operation gestalt, the same effectiveness as the 1st operation gestalt mentioned above can be acquired. Drawing 15 shows the 10th operation gestalt of this invention. This operation gestalt supports claim 7, claim 9, and claim 10. About the same circuit and signal as the circuit and signal explained with the 1st and 9th operation gestalten, the same sign is attached and detailed explanation is omitted [ this ].

[0055] With this operation gestalt, this invention is applied to Non-volatile SRAM. Non-volatile SRAM has the WORD decoder WLD, the 1st plate voltage generating circuit 10, the switch control circuit 12, switching circuits 14d and 14e, the memory cell array ALY that has two or more memory cells MC, and data I/O circuit I/O. This invention has the description for switching circuits 14d and 14e to be shared between two or more memory cells MC. The drain of switching circuits 14d and 14e is connected to the current supply lines NDD and NSS, respectively. A word line WL, the supply line of 1st plate voltage PL1, and the current supply lines NDD and NSS are wired by the memory cell MC along the longitudinal direction of drawing. Non-volatile SRAM has circuits, such as an input circuit of an address signal and a control signal, a command decoder which decodes a control signal, a timing generation circuit, a column decoder, and a sense amplifier, also besides having illustrated.

[0056] Drawing 16 shows the detail of a memory cell MC. The memory cell MC has latch circuit 14c which has two CMOS inverters (inverting circuit) 14a and 14b which connected the input and the output mutually, the ferroelectric capacitors 14f and 14g, and the transfer switches 22a and 22b. The memory cell MC of this operation gestalt does not have switching circuits 14d and 14e. For this reason, the layout size of a memory cell MC becomes small, and the layout size of the memory cell array ALY becomes small. Consequently, the chip size of Non-volatile SRAM can be made small.

[0057] Since actuation of Non-volatile SRAM is the same as the 9th operation gestalt mentioned above, explanation is omitted. Also in this operation gestalt, the same effectiveness as the 1st operation gestalt mentioned above can be acquired. Furthermore, with this operation gestalt, two or more memory cells MC shared switching circuits 14d and 14e. For this reason, layout size of a memory cell MC can be made small, and the chip size of Non-volatile SRAM can be made small.

[0058] Drawing 17 shows the 11th operation gestalt of this invention. This operation gestalt supports claim 8 and claim 9. About the same circuit and signal as the circuit and signal explained with the 2nd and 9th operation gestalten, the same sign is attached and detailed explanation is omitted [ this ]. With this operation gestalt, this invention is

applied to Non-volatile SRAM. Non-volatile SRAM has the 1st plate voltage generating circuit 10, the switch control circuit 12, the 2nd plate voltage generating circuit 18, and the memory cell array that has two or more memory cells MC. Although not illustrated especially, Non-volatile SRAM has circuits, such as the input circuit of an address signal and a control signal, the I/O circuit of data, a command decoder that decodes a control signal, a timing generation circuit, a WORD decoder, a column decoder, and a sense amplifier.

[0059] A memory cell MC adds the ferroelectric capacitors 16a and 16b to the memory cell MC of the 9th operation gestalt (drawing 14 R>4), and is formed. An end is connected to the input node N of CMOS inverter 14a, and, as for ferroelectric capacitor 16a, the other end is connected to the 2nd plate line PL 2. An end is connected to the input node NX of CMOS inverter 14b, and, as for ferroelectric capacitor 16b, the other end is connected to the 2nd plate line PL 2. Other configurations are the same as that of the 9th operation gestalt.

[0060] In the non-volatile SRAM mentioned above, at the time of write-in actuation, it writes in the bit lines BL and BLX of the complementation like the 9th operation gestalt, data are supplied, and a word line WL is made into a high level. The write-in data of the complementation are written in latch circuit 14c through the transfer switches 22a and 22b. While supply voltage VDD is supplied to Non-volatile SRAM, the data written in latch circuit 14c are held.

[0061] Before cutoff of a power source, the high level of Node N and the low of Node NX are written in as a remanence of the ferroelectric capacitors 14f, 14g, 16a, and 16b, respectively because 1st plate voltage PL1 and 2nd plate voltage PL2 change to a low, a high level, and a low, respectively. And a power source is intercepted. In case a power source is switched on again, a period predetermined from the charge of a power source and a word line WL are fixed to a low, and CMOS inverters 14a and 14b form a feedback loop. Then, as well as the 2nd operation gestalt where 2nd plate voltage PL2 is fixed to the touch-down electrical potential difference VSS, 1st plate voltage PL1 goes up. That is, the 2nd plate voltage generating circuit 18 outputs a period until 1st plate voltage PL1 reaches supply voltage VDD at least from the charge of a power source, and the touch-down electrical potential difference VSS as 2nd plate voltage PL2. The electrical potential difference of Node N rises with lifting of 1st plate voltage PL1 according to the capacitive component rate of the ferroelectric capacitors 14f and 16a. The electrical potential difference of Node NX rises with lifting of 1st plate voltage PL1 according to the capacitive component rate of the ferroelectric capacitors 14g and 16b.

[0062] After 1st plate voltage PL1 goes up to supply voltage VDD, the switch control signals EN and ENX change to a high level and a low, respectively. By this change, CMOS inverters 14a and 14b are activated, latch circuit 14c amplifies the electrical-potential-difference difference of Nodes N and NX, and the data currently held before cutoff of a power source at the memory cell MC are reproduced. Also in this operation gestalt, the same effectiveness as the 2nd operation gestalt mentioned above can be acquired.

[0063] Drawing 18 shows the 12th operation gestalt of this invention. This operation gestalt supports claim 8 thru/or claim 10. About the same circuit and signal as the circuit and signal explained with the 2nd and 10th operation gestalten, the same sign is attached and detailed explanation is omitted [ this ]. It is the same as that of the 10th operation

gestalt mentioned above except for the structure of a memory cell MC with this operation gestalt. That is, although especially the non-volatile SRAM is not illustrated, it has the WORD decoder WLD and the 1st plate voltage generating circuit 10 which were shown in drawing 15, the switch control circuit 12, switching circuits 14d and 14e, the memory cell array AL Y that has two or more memory cells MC, and data I/O circuit I/O.

[0064] A memory cell MC adds the ferroelectric capacitors 16a and 16b to the memory cell MC of the 10th operation gestalt (drawing 16 R>6), and is formed. An end is connected to the input node N of CMOS inverter 14a, and, as for ferroelectric capacitor 16a, the other end is connected to the 2nd plate line PL 2. An end is connected to the input node NX of CMOS inverter 14b, and, as for ferroelectric capacitor 16b, the other end is connected to the 2nd plate line PL 2.

[0065] Since actuation of the non-volatile SRAM of this operation gestalt is the same as that of the 11th operation gestalt mentioned above, explanation is omitted. Also in this operation gestalt, the same effectiveness as the 2nd and 10th operation gestalten mentioned above can be acquired. In addition, the operation gestalt mentioned above described the example which connected to the power-source line VDD and the grounding conductor VSS the substrate of the pMOS transistor which constitutes CMOS inverters 14a and 14b, and a nMOS transistor, respectively. This invention is not limited to this operation gestalt. For example, when the structure of the diffusion layer of a semiconductor substrate is the structure where a latch rise is not generated, the substrate of the pMOS transistor which constitutes CMOS inverters 14a and 14b, and a nMOS transistor may be connected to the source of a pMOS transistor, and the source of a nMOS transistor, respectively.

[0066] The 9th thru/or 12th operation gestalt mentioned above described the example which applied this invention to the memory cell MC (the so-called 6 transistor type) which has two CMOS inverters (inverting circuit) 14a and 14b. This invention is not limited to this operation gestalt. For example, you may apply to the memory cell (the so-called 4 transistor type) which has the inverting circuit of a couple which consists this invention of a nMOS transistor and high resistance.

[0067] Invention explained in the above operation gestalt is arranged, and it indicates as an additional remark.

(Additional remark 1) The latch circuit which has two buffer circuits which connected the input and the output mutually, The ferroelectric capacitor of a couple by which the end was connected to the input of said buffer circuit, respectively, and the other end was connected to the 1st plate line, The switching circuit which connects the power supply terminal of said buffer circuit to a power-source line according to a switch control signal, When said 1st plate voltage rises to a predetermined electrical potential difference after the 1st plate voltage generating circuit which generates the 1st plate voltage supplied to said 1st plate line, and the charge of a power source The semiconductor integrated circuit characterized by having the switch control circuit which said switch control signal is activated [ control circuit ] and makes said switching circuit turn on.

[0068] (Additional remark 2) The latch circuit which has two buffer circuits which connected the input and the output mutually, The 1st ferroelectric capacitor of a couple by which connected with the serial between the 1st plate line and the 2nd plate line, and the intermediate node was connected to one input of said buffer circuit, The 2nd ferroelectric capacitor of a couple by which connected with the serial between said 1st

plate lines and said 2nd plate lines, and the intermediate node was connected to the input of another side of said buffer circuit, The switching circuit which connects the power supply terminal of said buffer circuit to a power-source line according to a switch control signal, The 1st plate voltage generating circuit which generates the 1st plate voltage supplied to said 1st plate line, When said 1st plate voltage rises to a predetermined electrical potential difference after the 2nd plate voltage generating circuit which is supplied to a predetermined period and said 2nd plate line from the charge of a power source and which generates the 2nd plate voltage lower than said 1st plate voltage, and the charge of a power source The semiconductor integrated circuit characterized by having the switch control circuit which said switch control signal is activated [ control circuit ] and makes said switching circuit turn on.

[0069] (Additional remark 3) It is the semiconductor integrated circuit characterized by said 2nd plate voltage generating circuit outputting said predetermined period and a touch-down electrical potential difference as said 2nd plate voltage at least in the semiconductor integrated circuit of additional remark 2 publication.

(Additional remark 4) In the semiconductor integrated circuit of additional remark 1 or additional remark 2 publication said each buffer circuit It consists of CMOS inverters which consist of a pMOS transistor and a nMOS transistor. The source of said pMOS transistor It connects with a power-source line through said switching circuit. The source of said nMOS transistor It is the semiconductor integrated circuit characterized by connecting with a grounding conductor through said switching circuit, connecting the substrate of said pMOS transistor to said power-source line, and connecting the substrate of said nMOS transistor to said grounding conductor.

[0070] (Additional remark 5) A master latch circuit and a slave latch circuit are semiconductor integrated circuits which have the store circuit by which cascade connection was carried out. Either [ at least ] said master latch circuit or a slave latch circuit The latch circuit which has two buffer circuits which connected the input and the output mutually, The ferroelectric capacitor of a couple by which the end was connected to the input of said buffer circuit, respectively, and the other end was connected to the 1st plate line, The switching circuit which connects the power supply terminal of said buffer circuit to a power-source line according to a switch control signal, When said 1st plate voltage rises to a predetermined electrical potential difference after the 1st plate voltage generating circuit which generates the 1st plate voltage supplied to said 1st plate line, and the charge of a power source The semiconductor integrated circuit characterized by having the switch control circuit which said switch control signal is activated [ control circuit ] and makes said switching circuit turn on.

[0071] (Additional remark 6) A master latch circuit and a slave latch circuit are semiconductor integrated circuits which have the store circuit by which cascade connection was carried out. Either [ at least ] said master latch circuit or a slave latch circuit The latch circuit which has two buffer circuits which connected the input and the output mutually, The 1st ferroelectric capacitor of a couple by which connected with the serial between the 1st plate line and the 2nd plate line, and the intermediate node was connected to one input of said buffer circuit, The 2nd ferroelectric capacitor of a couple by which connected with the serial between said 1st plate lines and said 2nd plate lines, and the intermediate node was connected to the input of another side of said buffer circuit, The 1st plate voltage generating circuit which generates the 1st plate voltage

which supplies the switching circuit which connects the power supply terminal of said buffer circuit to a power-source line according to a switch control signal to said 1st plate line, When said 1st plate voltage rises to a predetermined electrical potential difference after the 2nd plate voltage generating circuit which is supplied to a predetermined period and said 2nd plate line from the charge of a power source and which generates the 2nd plate voltage lower than said 1st plate voltage, and the charge of a power source The semiconductor integrated circuit characterized by having the switch control circuit which said switch control signal is activated [ control circuit ] and makes said switching circuit turn on.

[0072] (Additional remark 7) It is the semiconductor integrated circuit characterized by said 2nd plate voltage generating circuit outputting said predetermined period and a touch-down electrical potential difference as said 2nd plate voltage at least in the semiconductor integrated circuit of additional remark 6 publication.

(Additional remark 8) In the semiconductor integrated circuit of a publication of additional remark 5 or additional remark 6 said each buffer circuit It consists of CMOS inverters which consist of a pMOS transistor and a nMOS transistor. The source of said pMOS transistor It connects with a power-source line through said switching circuit. The source of said nMOS transistor It is the semiconductor integrated circuit characterized by connecting with a grounding conductor through said switching circuit, connecting the substrate of said pMOS transistor to said power-source line, and connecting the substrate of said nMOS transistor to said grounding conductor.

[0073] (Additional remark 9) The latch circuit which has two inverting circuits which connected the input and the output mutually, Two or more memory cells which have the ferroelectric capacitor of a couple by which the end was connected to the input of said inverting circuit, respectively, and the other end was connected to the 1st plate line, The switching circuit which connects the power supply terminal of said inverting circuit to a power-source line according to a switch control signal, When said 1st plate voltage rises to a predetermined electrical potential difference after the 1st plate voltage generating circuit which generates the 1st plate voltage supplied to said 1st plate line, and the charge of a power source Semiconductor memory characterized by having the switch control circuit which said switch control signal is activated [ control circuit ] and makes said switching circuit turn on.

[0074] (Additional remark 10) The latch circuit which has two inverting circuits which connected the input and the output mutually, The 1st ferroelectric capacitor of a couple by which connected with the serial between the 1st plate line and the 2nd plate line, and the intermediate node was connected to one input of said buffer circuit, Two or more memory cells which have the 2nd ferroelectric capacitor of a couple by which connected with the serial between said 1st plate lines and said 2nd plate lines, and the intermediate node was connected to the input of another side of said inverting circuit, The switching circuit which connects the power supply terminal of said inverting circuit to a power-source line according to a switch control signal, The 1st plate voltage generating circuit which generates the 1st plate voltage supplied to said 1st plate line, When said 1st plate voltage rises to a predetermined electrical potential difference after the 2nd plate voltage generating circuit which is supplied to a predetermined period and said 2nd plate line from the charge of a power source and which generates the 2nd plate voltage lower than said 1st plate voltage, and the charge of a power source Semiconductor memory

characterized by having the switch control circuit which said switch control signal is activated [ control circuit ] and makes said switching circuit turn on.

[0075] (Additional remark 11) It is the semiconductor memory characterized by said 2nd plate voltage generating circuit outputting said predetermined period and a touch-down electrical potential difference as said 2nd plate voltage at least in the semiconductor memory of additional remark 10 publication.

(Additional remark 12) In the semiconductor memory of additional remark 9 or additional remark 10 publication said each inverting circuit It consists of CMOS inverters which consist of a pMOS transistor and a nMOS transistor. The source of said pMOS transistor It connects with a power-source line through said switching circuit. The source of said nMOS transistor It is the semiconductor memory characterized by connecting with a grounding conductor through said switching circuit, connecting the substrate of said pMOS transistor to said power-source line, and connecting the substrate of said nMOS transistor to said grounding conductor.

[0076] (Additional remark 13) It is the semiconductor memory characterized by forming said switching circuit common to said two or more memory cells in the semiconductor memory of additional remark 9 or additional remark 10 publication. As mentioned above, although this invention has been explained to a detail, it does not pass over the above-mentioned operation gestalt and its modification to an example of invention, and this invention is not limited to this. It is clear that it is deformable in the range which does not deviate from this invention.

[0077]

[Effect of the Invention] In the semiconductor integrated circuit of claim 1 and claim 4, and the semiconductor memory of claim 7, the input of two buffer circuits which constitute a latch circuit receives the electrical potential difference which changes with capacity coupling effectiveness of a ferroelectric capacitor before connection of a power source. For this reason, the data currently held before cutoff of a power source at the latch circuit are certainly reproducible. In the semiconductor integrated circuit of claim 2 and claim 5, and the semiconductor memory of claim 8, the input of two buffer circuits which constitute a latch circuit receives the electrical potential difference which changes before connection of a power source with the capacitive component rate of the 1st ferroelectric capacitor, and capacitive component rates of the 2nd ferroelectric capacitor. For this reason, the data currently held before cutoff of a power source at the latch circuit are certainly reproducible.

[0078] In the semiconductor integrated circuit of claim 3 and claim 6, and the semiconductor memory of claim 9, it can prevent that a substrate becomes floating at the time of the charge of a power source, and malfunction of transistors, such as a latch rise, can be prevented. In the semiconductor memory of claim 10, since the total of a switching circuit becomes fewer, the chip size of semiconductor memory can be made small.

---

[Translation done.]

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**